

PCB DC Power EMC Design Solution

Power Choke EMC Application

解耦元件(Decoupling Device)

英文之Decoupling是由Coupling=(結合)、(耦合)加上Detach(解離)之DE組合而成之名詞，因此翻譯成(解耦合)或簡稱(解耦)。

電路板上之雜訊 90% 是由 LSI 於高速運算時之 Switching Noise 耦合於 DC 電源線路而產生的，伴隨著高速、高頻化的趨勢，現有的被動元件已無法解決 GHz 以上之雜訊，捨本逐末以對策元件加入信號線路為現今的主流，但由於高速傳輸所需之數位信號諧波成分被濾除，使得時脈上升速度遲緩，於數位信號超過 GHz 的現今實非根本的解決之道。

寬頻解耦 (Decoupling) 之概念即是因應此趨勢及需求而推出的，將 LSI 或 IC 的電源出入口以 100K~8GHz (-20dB) 之超寬頻解耦元件過濾本身之諧波或外部之雜訊，使得系統之穩定性及傳輸效率得以提升，更可同時獲得解決 EMI/EMC 問題之附加效果。

傳統的電容、電感、磁珠已無法解決GHz以上高頻、寬頻之諧波及雜訊
EMI/EMC對策應於事前因應而非事後補救
超寬頻直流電源解耦-EMI/EMC根本解決之道

解耦元件與解耦電容之不同處定義如下：

1. 即使組合各種電容也無法達到至GHz以上之解耦
2. 具有可使用於所有數位產品之多功能電源隔離功效

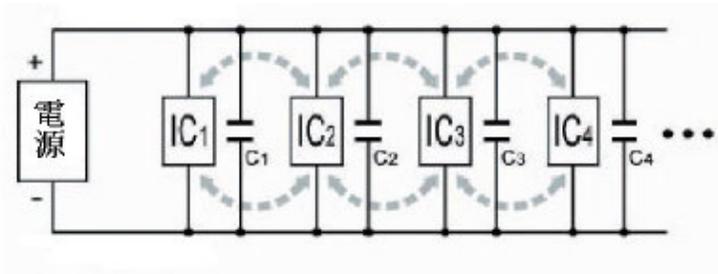


圖 1 所有電路上之 IC 皆與電源並聯

所有的IC皆如圖1般於**電源的±線路間並聯**，也就是說IC彼此間相互連接在一起，此時若**僅使直流互相連結而阻隔交流之隔離(Isolation)**，而為了達此目的所使用的功能性元件即稱為**(解耦元件)**

以電源隔離之功能元件最先想到的是解耦電容(**Decoupling Capacitor**)

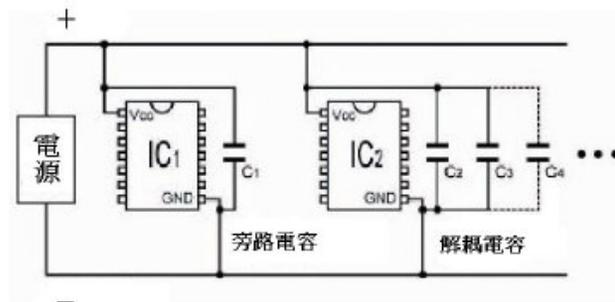


圖 2 半導體電路所使用之旁路電容 (解耦電容)

如圖2般將交流信號**迂迴繞道(By Pass)至接地**，極力使IC僅通過直流者稱為旁路電容或接地電容(**By Pass Capacitor**)

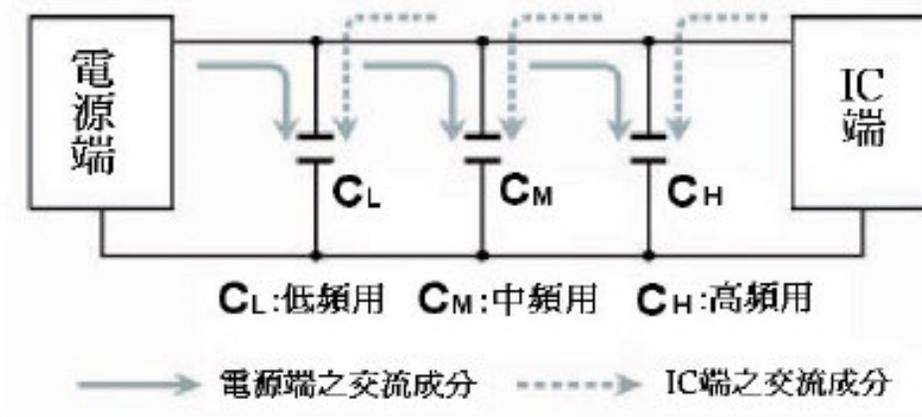


圖 3 對應各個頻帶之電容是否真能如理論般發揮功能？

做為數位電路的解耦電容常見如圖3所示將低頻至高頻的電容排列，以解耦的觀點而言，旁路電容僅對特定的頻段能達到其效果，但無法提供連續性平穩的寬頻帶濾波特性的，反而會適得其反。

因為現有的電容其±誤差範圍非常大，而非理想的精密電容，電容本身的自電感會產生新的LC共振頻率，所以想要依賴增加解耦電容解決電磁波雜訊時，在電路上會產生新的LC共振頻率，因此該方法並非是理想的雜訊對策。

旁路電容僅對特定的頻帶能產生解耦的效果，但若無理想的接地及電源時，將共通阻抗結合有如魔法般的解耦是不可能的。

1. 非理想電容的共振頻率公式：

$$f_c = \frac{1}{2\pi\sqrt{ESL \cdot C}}$$

ESL:電容本身的串聯電感

2. 非理想電感的共振頻率公式：

$$f_L = \frac{1}{2\pi\sqrt{L \cdot C_o}}$$

Co:線圈繞線的寄生電容

LC濾波器:

基於上述的理由，L或C本身的頻率特性並不十分完全穩定，若要達到GHz頻帶的濾波時，只能靠組合多段的L及C一途。如此在電路設計上必須使用許多L及C的元件來達到此目的。同時也容易產生許多不必要的共振頻率，使EMI測試增加許多困難及變數。

共模扼流線圈(Ferrite Core):

對差模(Differential Mode)電流於磁束互相抵消之方向產生磁場，共模(Common Mode)的電流則加強電感並纏繞成環狀之扼流線圈，以其為共模雜訊對策元件。但由於形狀較大且僅能使用至數百MHz之缺點，對解耦元件而言頻帶過於狹窄。

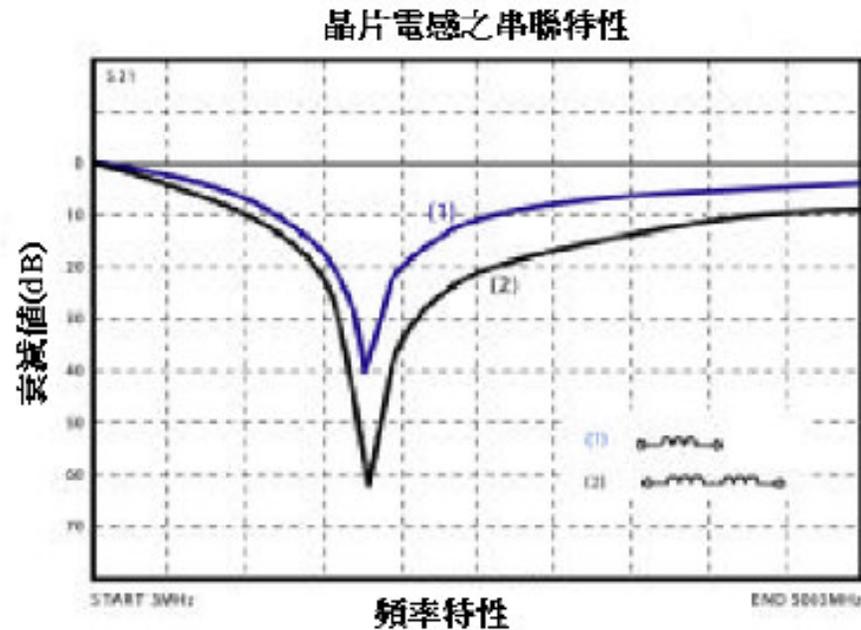


圖 7 積層電感於串聯時之頻率特性

現有的電感如圖7，不論是積層或繞線式，其隔離特性皆如楔形急遽變化之共振型頻率特性。

繞線型電感或與其他電感之距離過近時則會產生磁場之結合，於低頻會引起共振。

現有的電感若僅低頻電感及高頻電感串接時，只會產生各個尖銳共振之組合，無法稱之為寬頻帶。

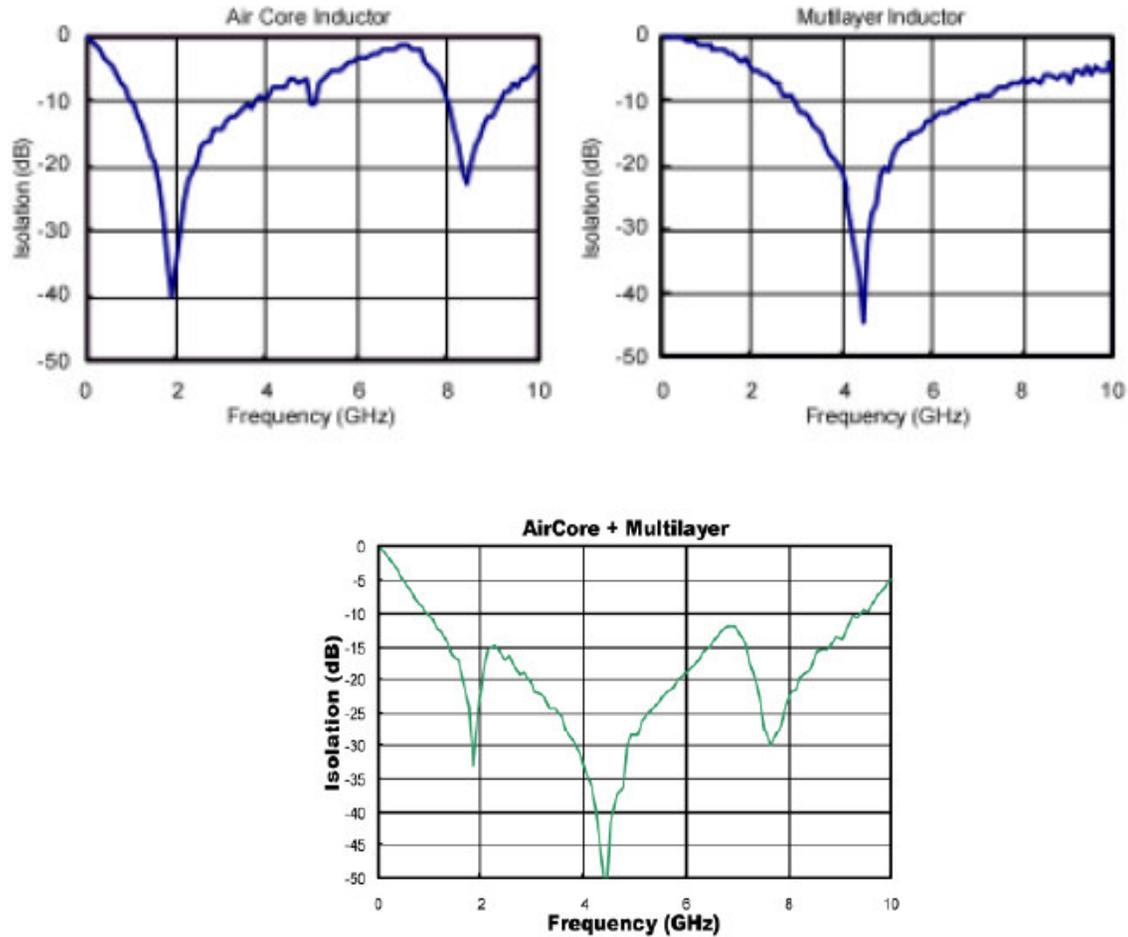


圖 8-3 空芯電感與 LTCC 積層電感二個串聯組合時之頻率特性

與上頁相較，同樣條件的 UWB Filter UC2系列(1600)與UC3系列(2500)以相同條件串聯，沒有尖銳的共振點，可看到平穩延伸的超寬頻帶濾波特性的。

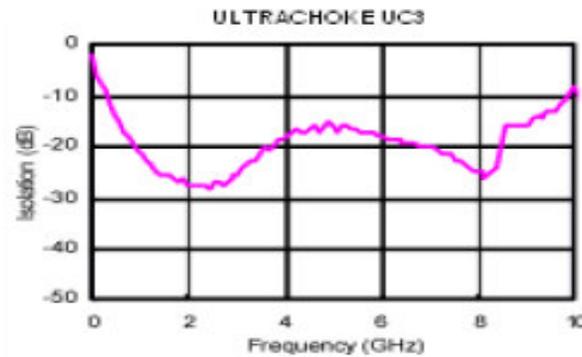


圖 9-1 UC3 系列

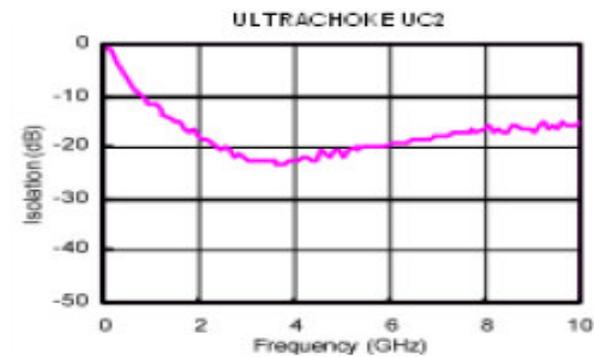


圖 9-2 UC2 系列

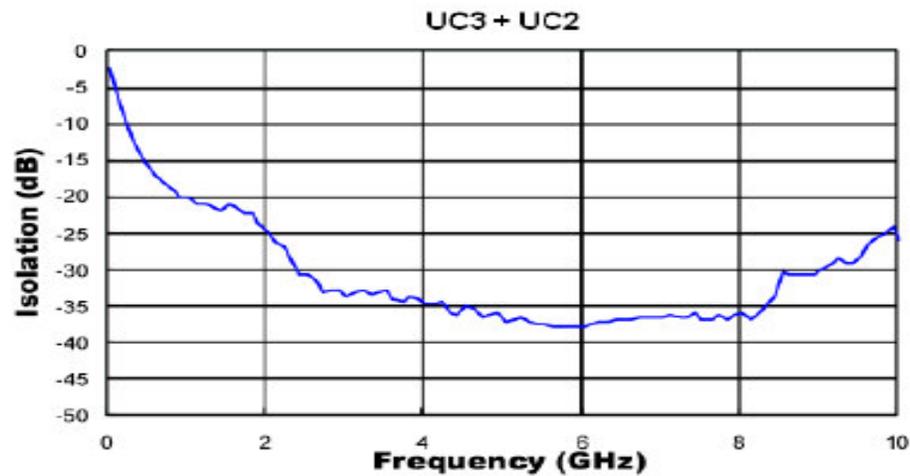


圖 9-3 UC3 與 UC2 系列串聯組合時之特性

ISOLATION VS BAND WIDTH

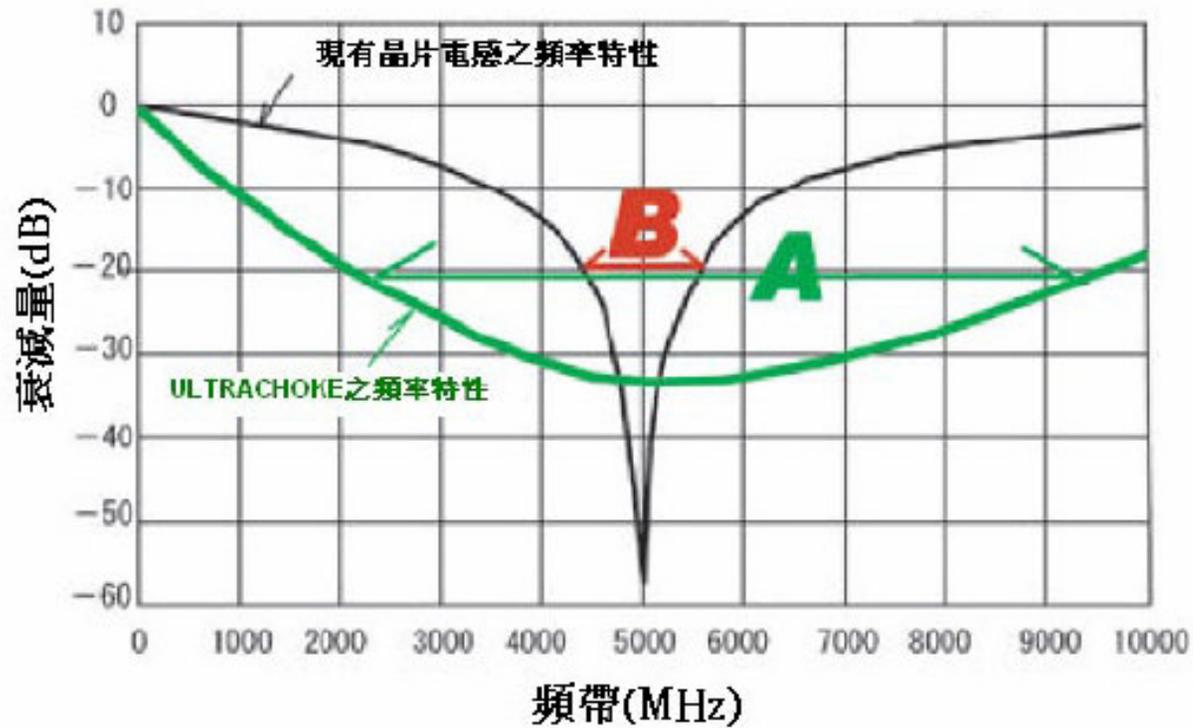
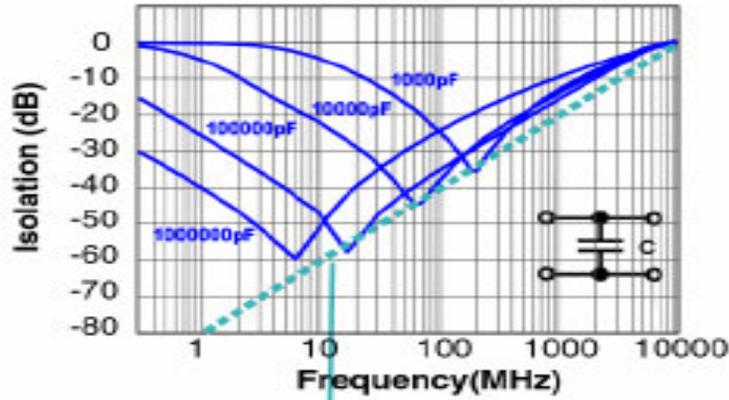
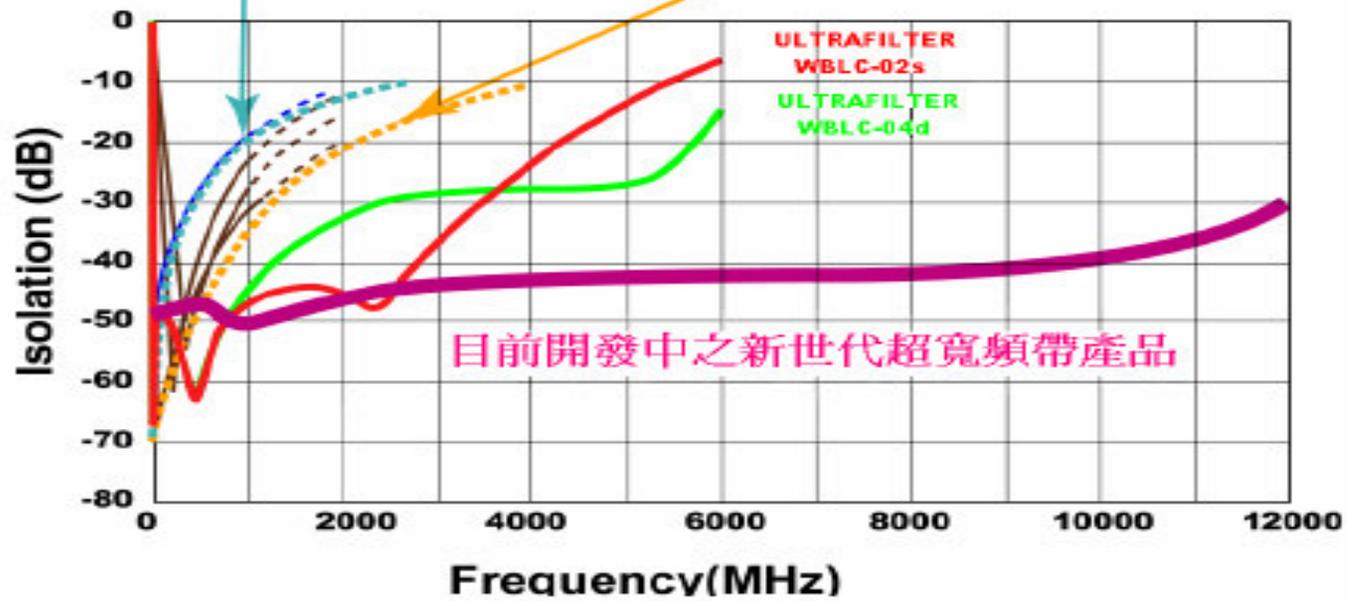
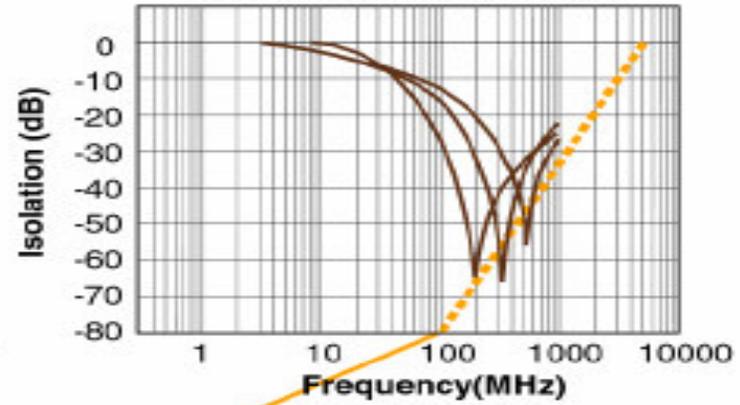


圖 6 ULTRACHOKE 之頻帶 A 與晶片電感頻帶 B 之衰減特性比較

晶片電容(1608)
BYPASS衰減量臨界線



現有之各種帶阻濾波
器頻帶衰減量臨界線



- 無法比擬之衰減頻寬 - 30KHz~10GHz(@-20dB)

- 全新設計概念顛覆傳統思維

1. 提升系統之速度及穩定性

3. 縮短產品開發週期

5. 降低零件備料及庫存成本

2. 萬全的EMI/EMC 對策

4. 減少元件數量，降低ESR及ESL

6. 降低耗電量

ULTRA CHOKE 1600



● Electrical Specification

AC Characteristics (Ta=25°C)

Band Width	2,000~8,500MHz	-15dB
	2,800~5,800MHz	-20dB

DC Characteristics (Ta=25°C)

DC Resistance	40mΩ(Max)
Rated Current	2,300mA(Min)

ULTRA CHOKE 2500



● Electrical Specification

AC Characteristics (Ta=25°C)

Band Width	800~3,800MHz	-15dB
	1,000~3,000MHz	-20dB

DC Characteristics (Ta=25°C)

DC Resistance	90mΩ(Max)
Rated Current	1,500mA(Min)

● 雜訊對策

至今所慣用之雜訊對策元件如電感或電容等，已無法跟隨目前急遽高頻、高速傳輸之腳步，其對策之效果已達到極限。同時，要解決高頻雜訊（諧波）之問題，習用之相關經驗及知識已力有未逮，與射頻、微波相關之電路設計技術也為必要之條件。

● 以超寬頻帶阻隔諧波雜訊

ULTRAFILTER 即是以此射頻、微波技術為中心發展而成的。

與現有僅能對應至 1GHz 之雜訊對策元件相較，**ULTRAFILTER** 可將消費性電子產品中 100KHz 至 8GHz 頻率範圍之高頻雜訊（諧波）隔離。

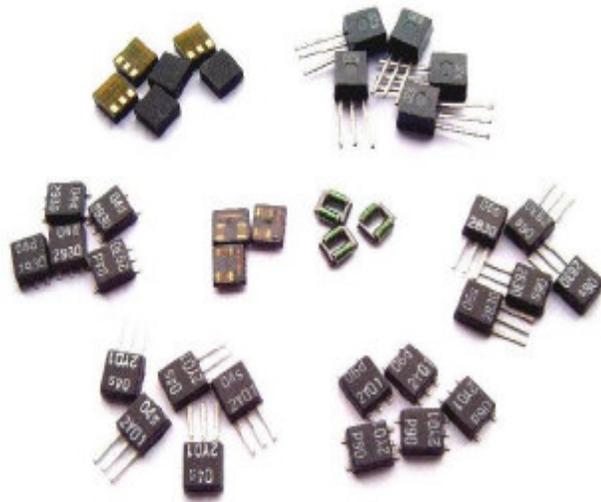
● 防止雜訊之互相干擾

將 **ULTRAFILTER** 加置於主動元件（IC、LSI 等）之電源電路上時，可幾乎完全防止主動元件（IC、LSI 等）間高頻雜訊之互相干擾。

● 超小型、大電流

ULTRAFILTER 除了以現有的離散元件（Discrete component）而言是市面上唯一的超寬頻帶之外，電流 2A 以上之 IC 電源用濾波器也是業界最小尺寸。

不僅可使用 **ULTRA CHOKE** 組合成各種不同之 L、TT、T 型 LC 濾波電路，各種 SMD、DIP 型封裝更可滿足使用容易之需求。



● Electrical Specification

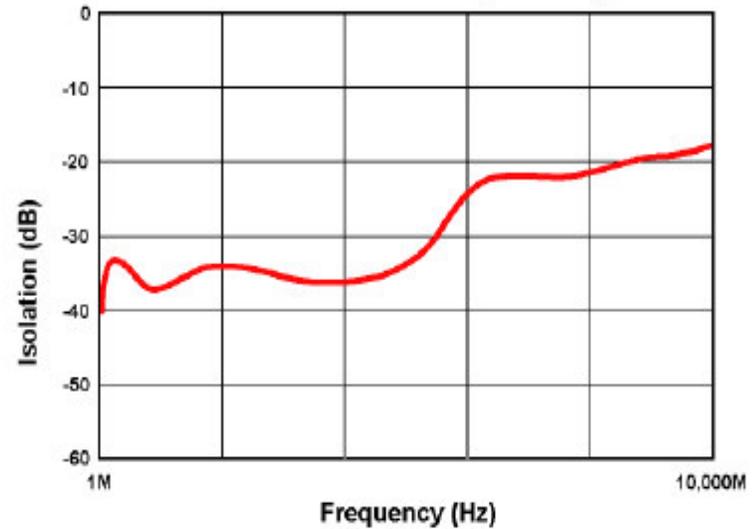
AC Characteristics (Ta=25°C)

Band Width	0.1~8,000MHz	-20dB
	0.3~5,300MHz	-30dB

DC Characteristics (Ta=25°C)

DC Resistance	100mΩ(Max)
Rated Current	2,000mA(Min)

● Attenuation VS Frequency



單獨作動時並無問題的記憶體或邏輯電路一旦於電路板上組合或構成多重的邏輯電路時就會發生EMI/EMC問題。

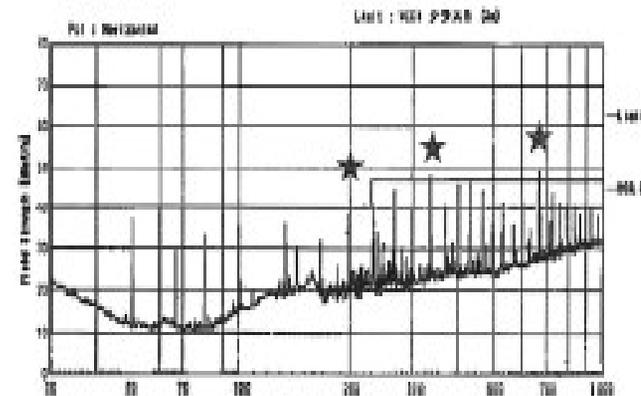
由多個LSI或IC組合而成的邏輯電路中，由個別半導體所產生的高頻諧波外洩至BIAS電源線路中，或反由其他半導體所產生的高頻諧波透過電源進入其內部而分佈成為複合高頻諧波，造成EMC問題。

Ultra Filter 加置於電源電路後，可隔離進入或外洩至IC、LSI等元件之高頻諧波雜訊任誰都可以簡單的解決EMI/EMC問題。

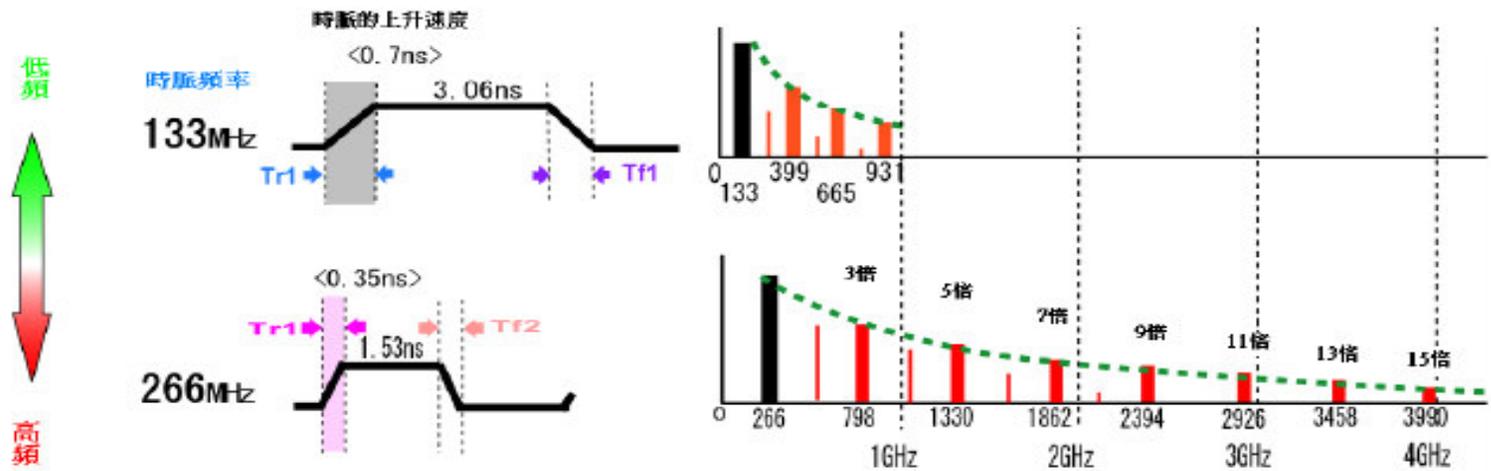
EMI/EMC 問題的最大原因為重疊(耦合)於直流電源之諧波

數位時脈信號(方形波)為了被正確、高速地傳送，其中心頻率之 3 倍、5 倍、...11 倍... 等倍頻諧波也會經由信號線路被傳送，因此數位時脈信號愈高速其諧波的頻帶也急速地延伸。

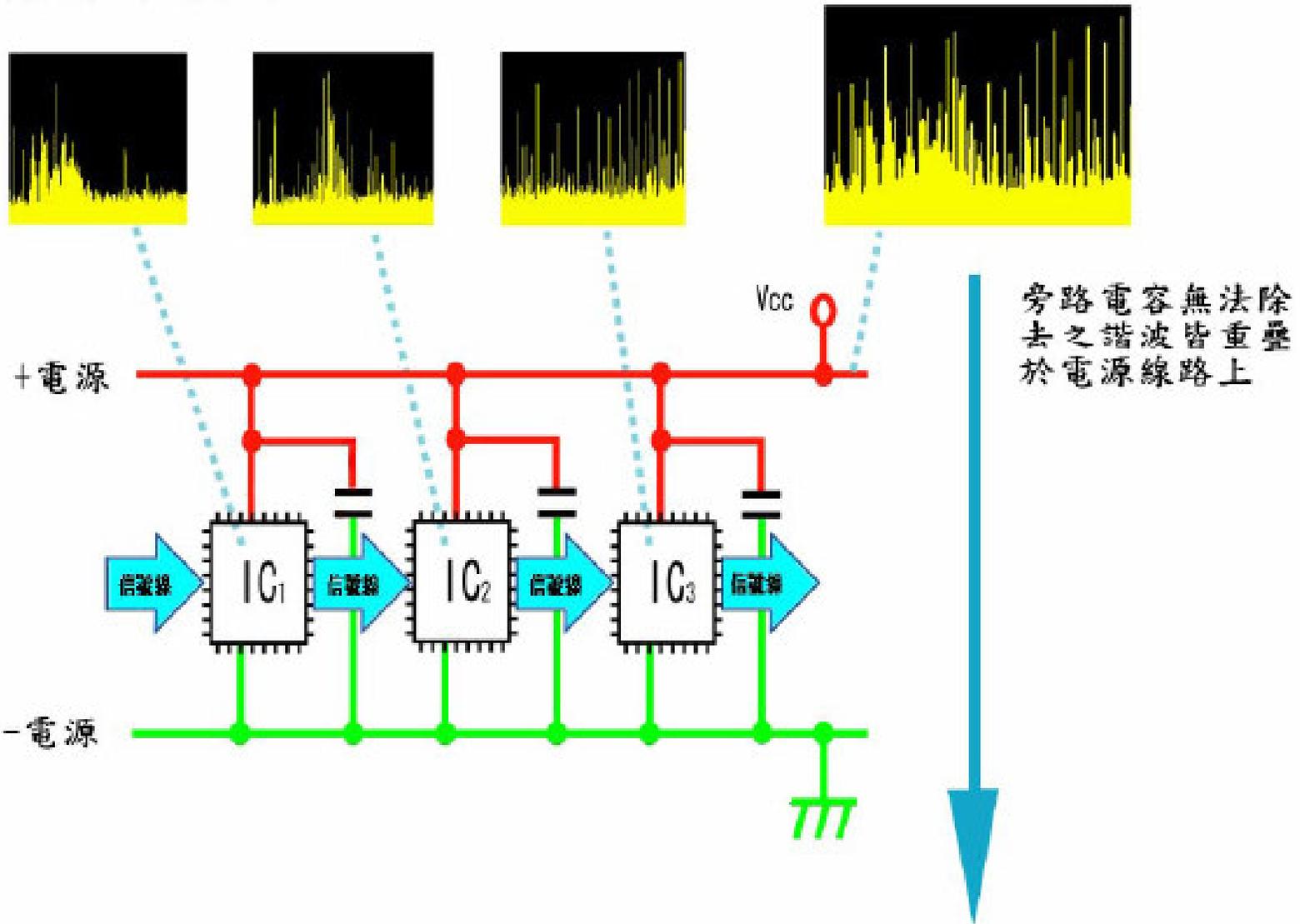
但是，此類的諧波對信號傳送線路以外而言為不需要且有害的電波，理由是這些諧波透過直流電源電路進入其他的 IC 時為 EMI/EMC 問題的最大原因。



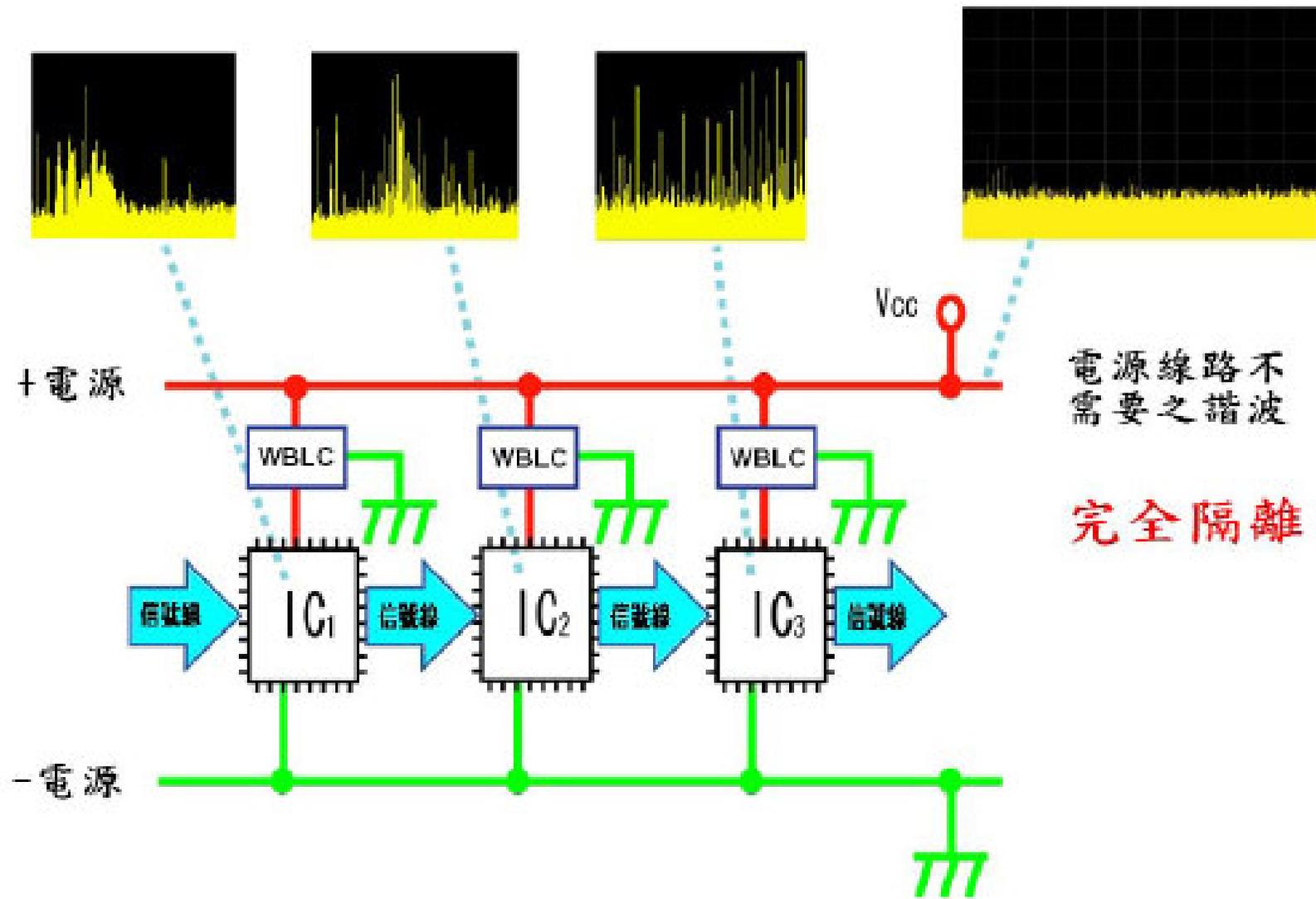
EMI/EMC 問題之輻射頻譜例



使用旁路電容時



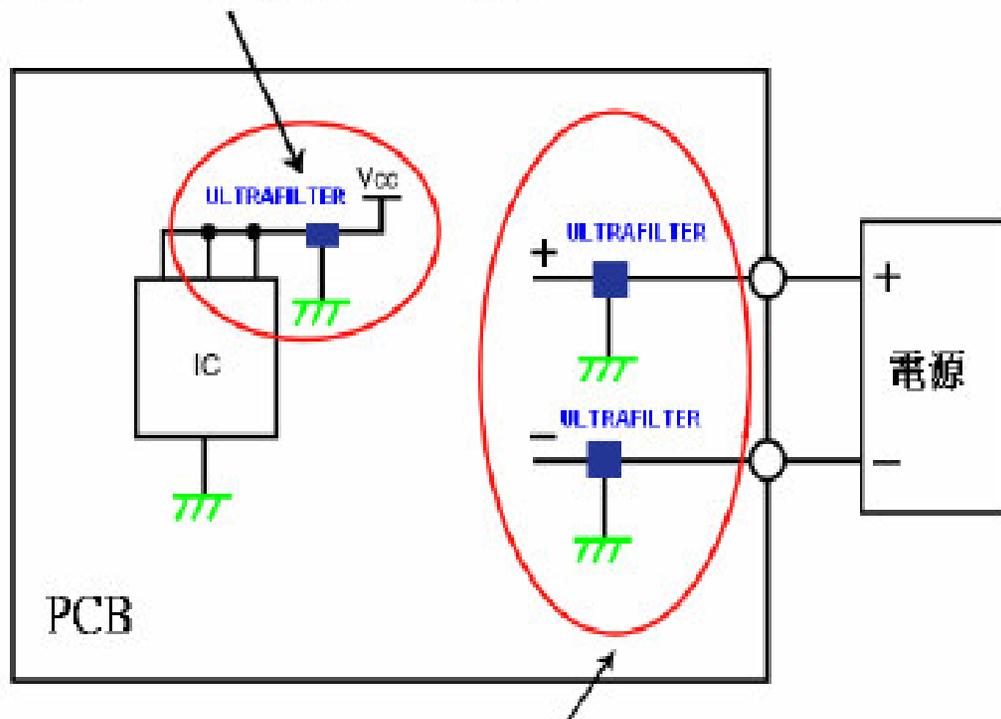
使用ULTRAFILTER(WBLC)時



隔離 IC 的雜訊

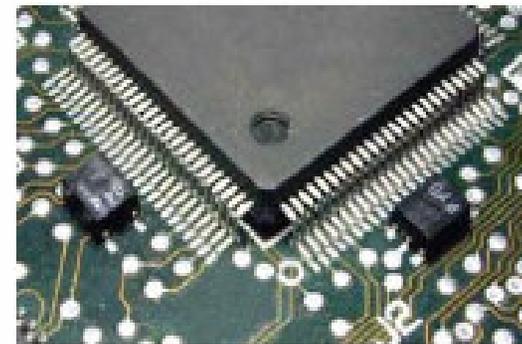
將 ULTRAFILTER 加置於輸入電源之入口處及 IC 之電源電路上

隔離外部 IC 之雜訊
(置於 IC 的電源 PIN 旁)



隔離外部電源的雜訊
(置於連接器的電源 PIN 旁)

IC 電源旁之實例

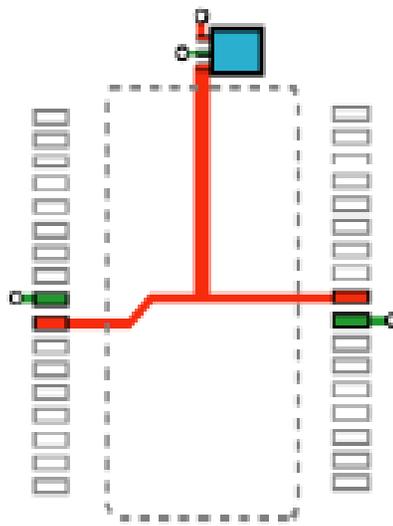


電源輸入處之實例

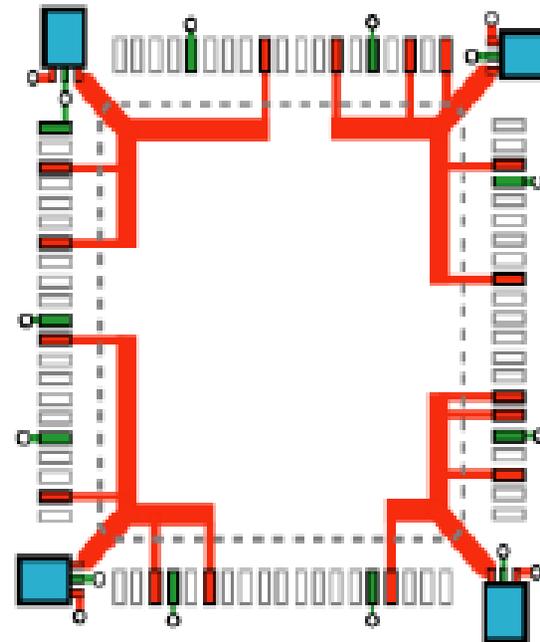


基本而言，將 ULTRAFILTER 盡可能配置於接近 IC 之電源 PIN 處
PIN 數較多時可設計成如下圖之方式

SOP PACKAGE

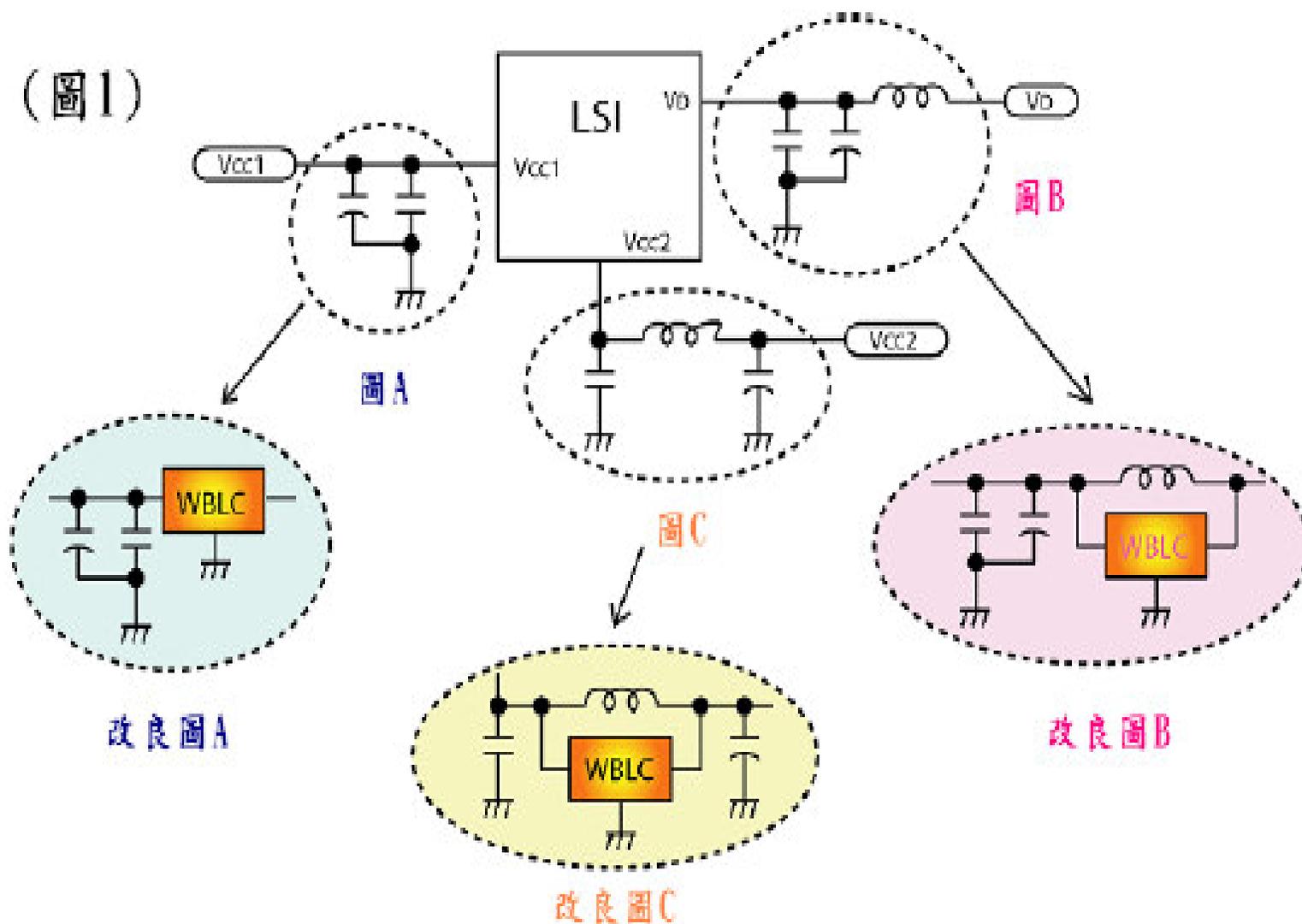


QFP PACKAGE

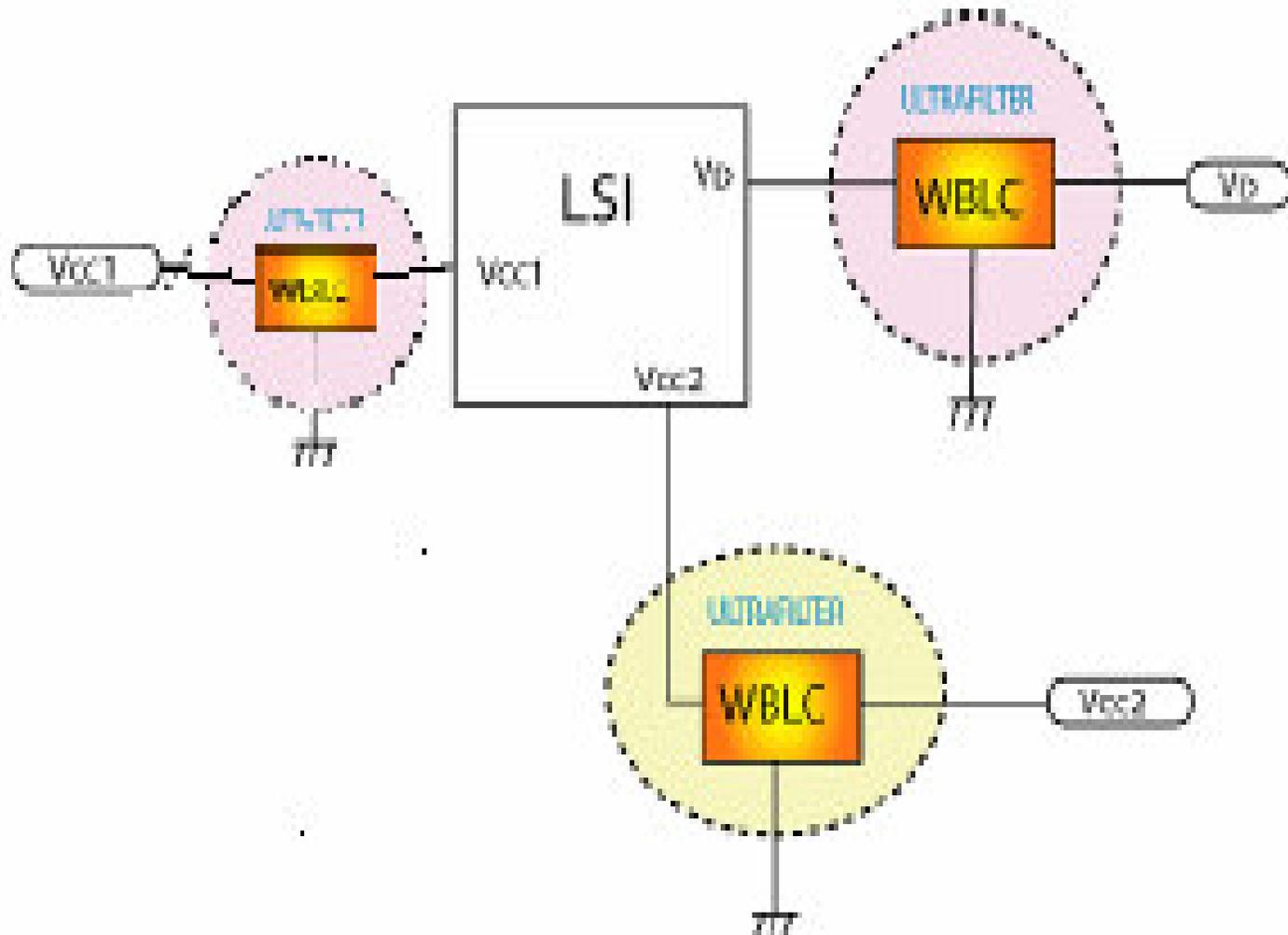


ULTRAFILTER 僅使用一個時
需注意 Vcc 線路不可構成迴路

1. 將原設計 PC 板電路圖中 IC 或 LSI 等半導體的周圍如(圖 1)虛線部分的電源濾波電路 (BIAS Filter Circuits)變更為下方之改良電路。



5. 將 ULTRAFILTER 周圍之電感、電容等元件全部移除。



此即為最終之電路圖