

# EMC Practical Design

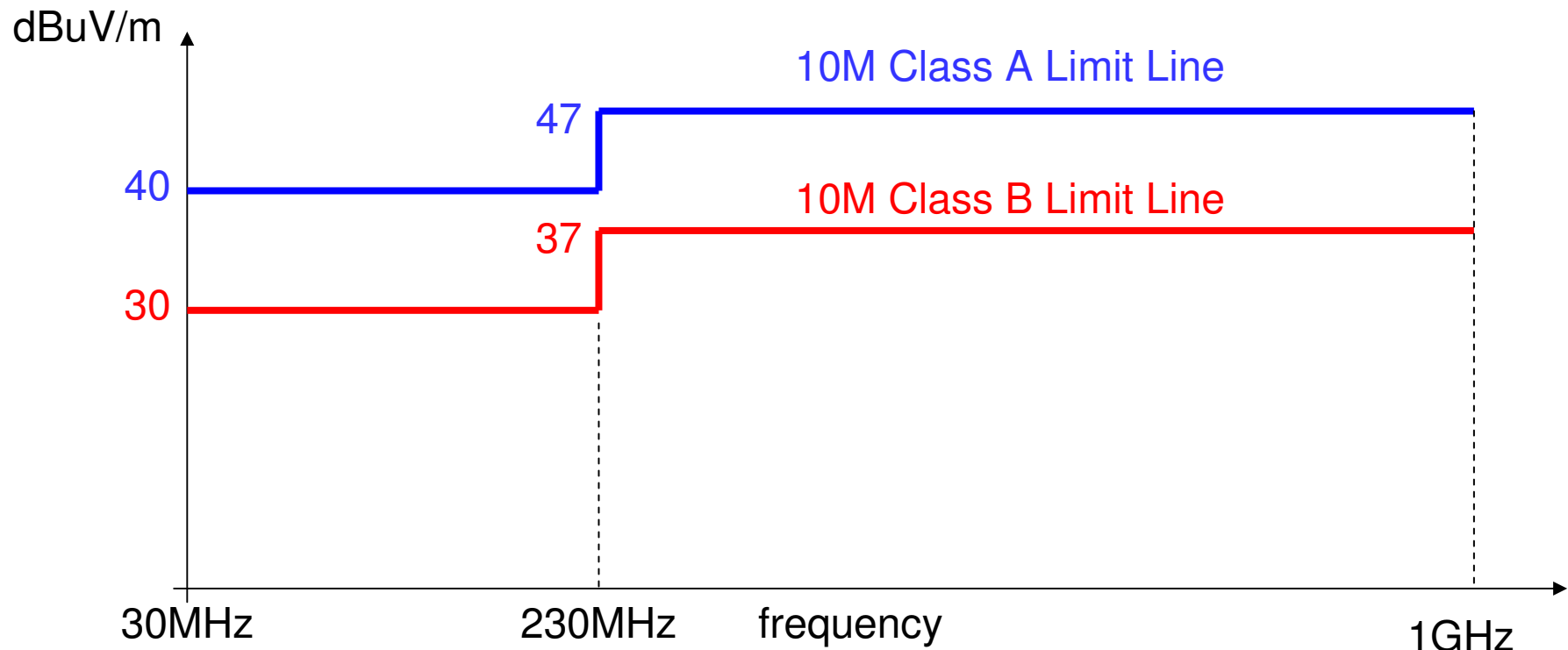
- Global EMI Radiated Limit
- PCB Placement
- PCB Stack
- PCB Layout

Edit by Mike

# Global EMI Radiated Limit CISPR 22/EN55022/CNS13438

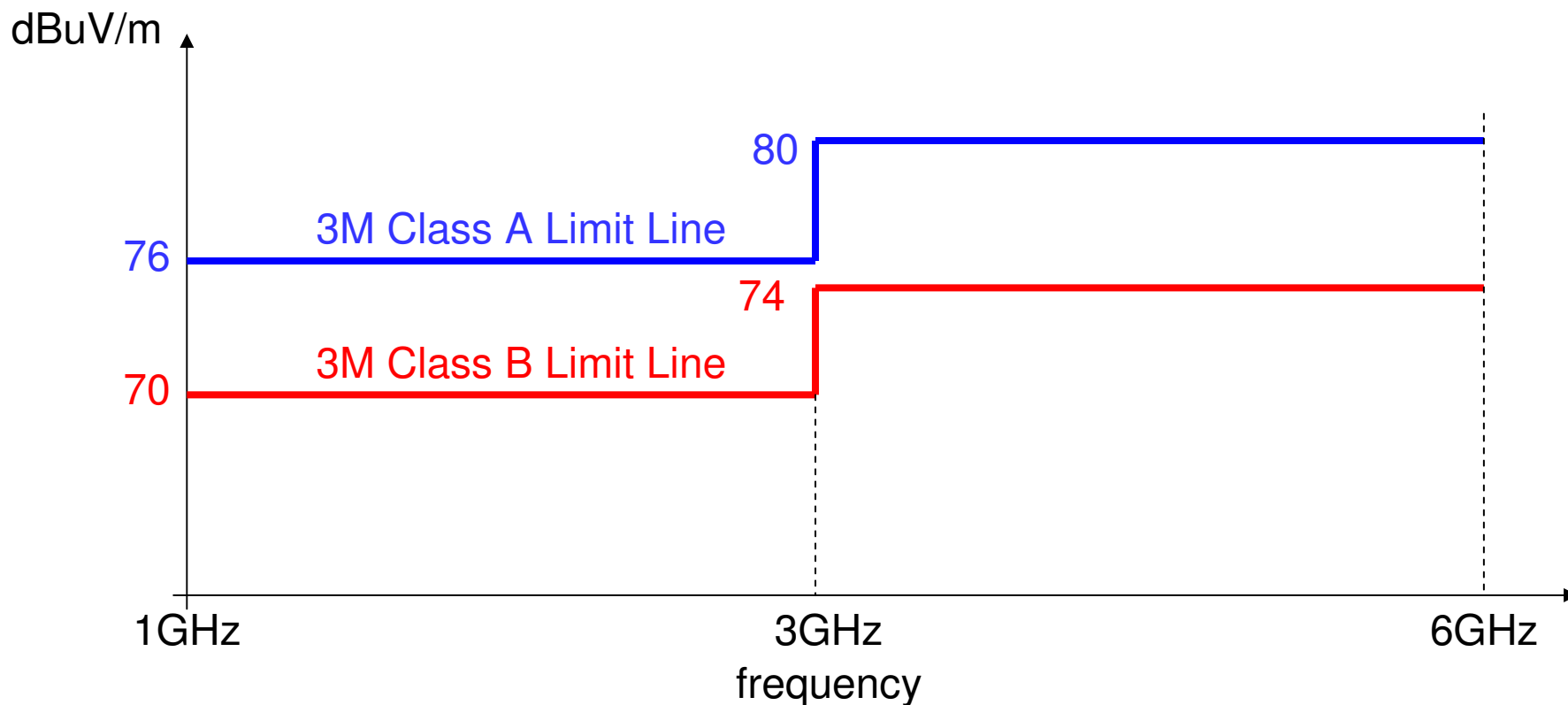
待測物內部信號源之最高頻率 < 108MHz, 量測至1GHz

待測物內部信號源定義為在待測物內產生或使用的最高頻率



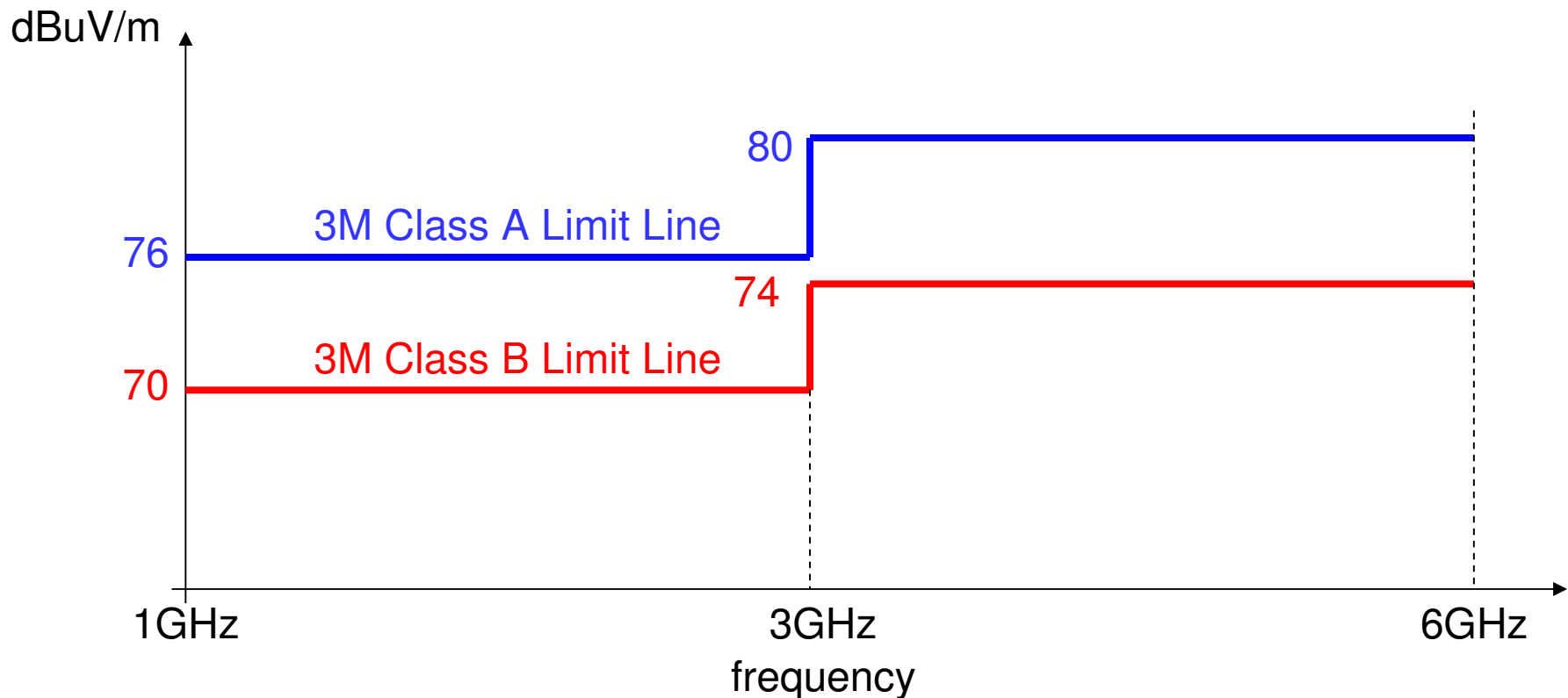
# Global EMI Radiated Limit CISPR 22/EN55022/CNS13438

待測物內部信號源之最高頻率  $108\text{MHz} < f < 500\text{MHz}$ , 量測至  $2\text{GHz}$   
待測物內部信號源之最高頻率  $500\text{MHz} < f < 1\text{GHz}$ , 量測至  $5\text{GHz}$

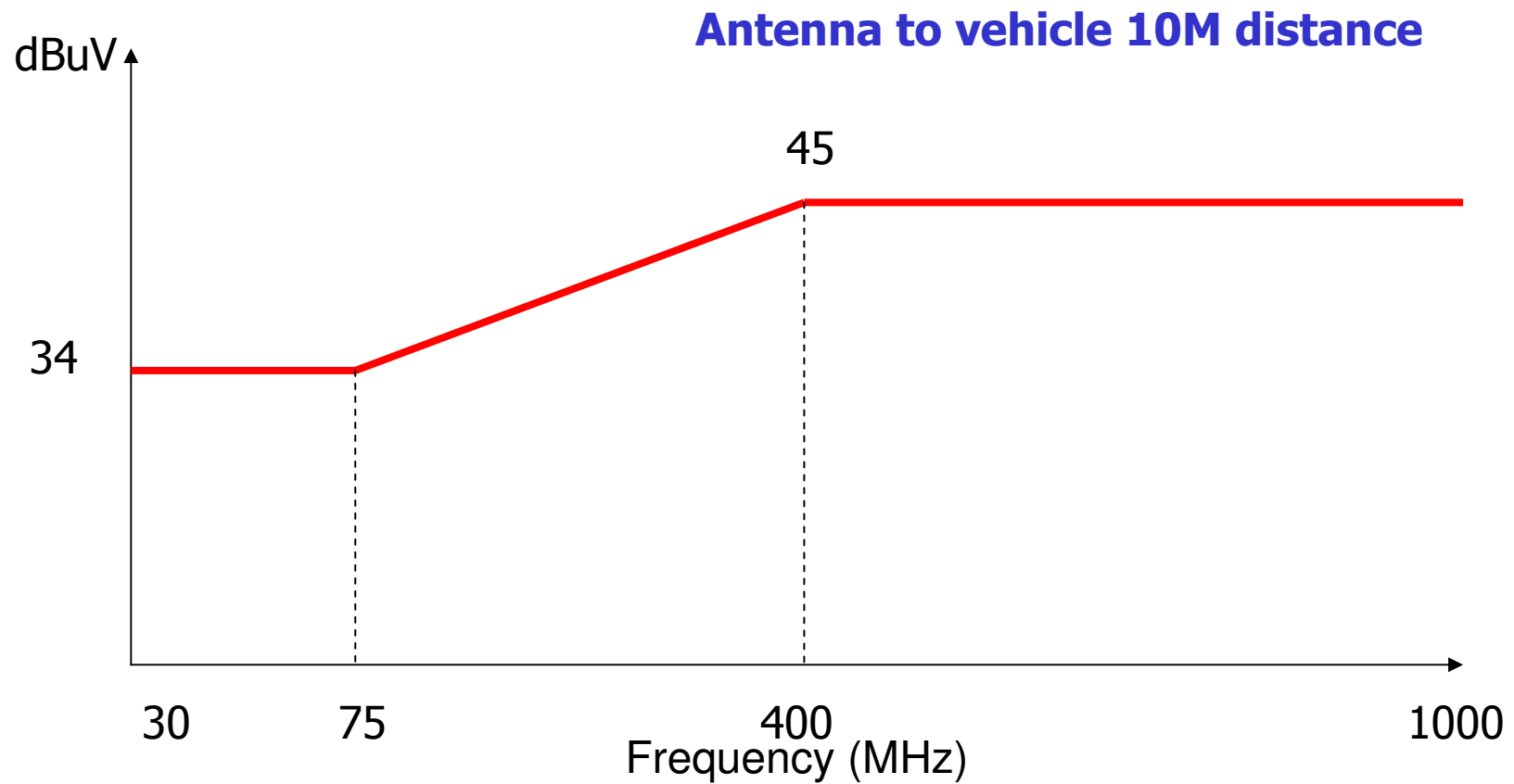


# Global EMI Radiated Limit CISPR 22/EN55022/CNS13438

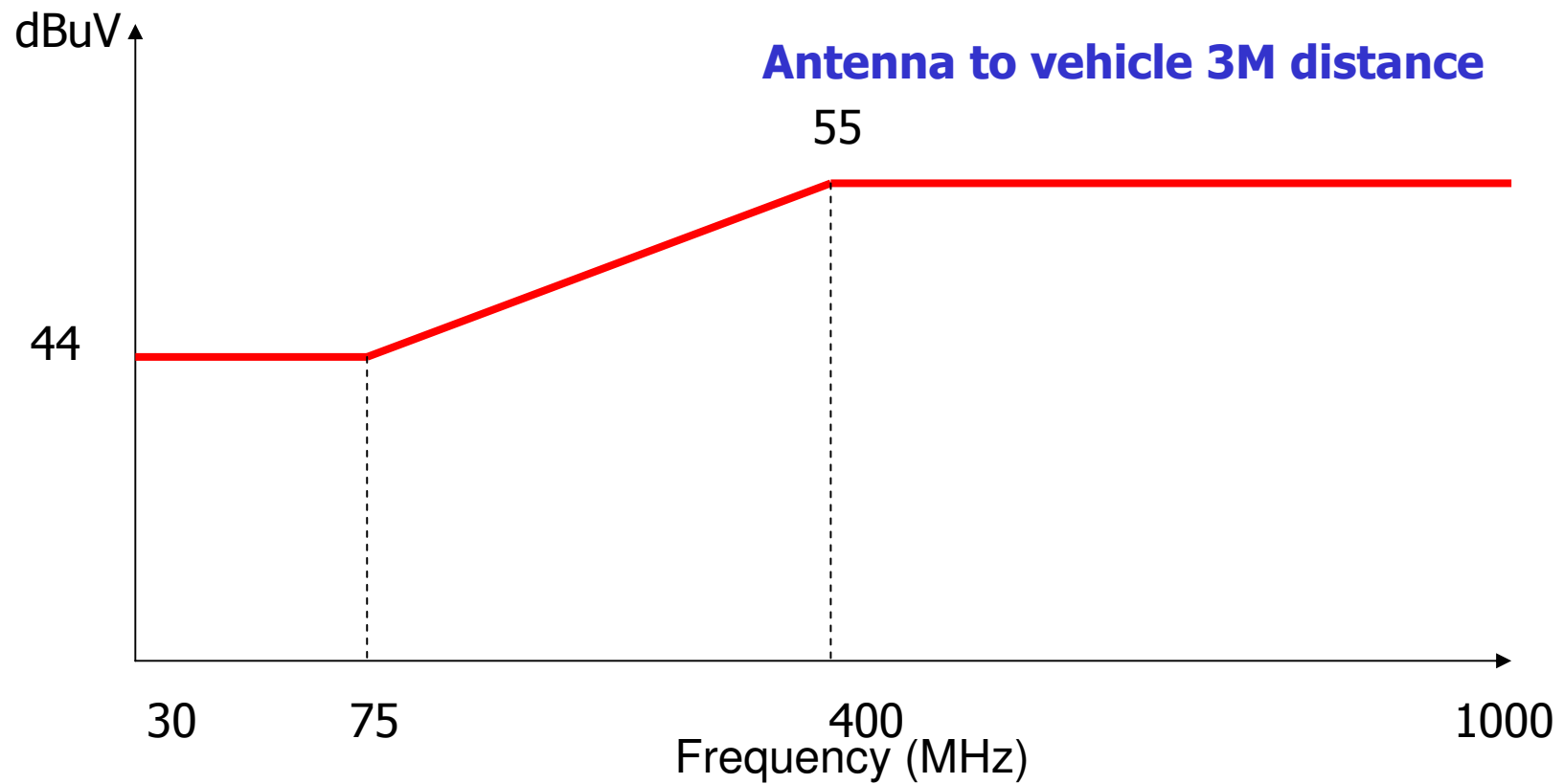
待測物內部信號源之最高頻率>1GHz，必須量測至5倍頻或6GHz，擇其較小者



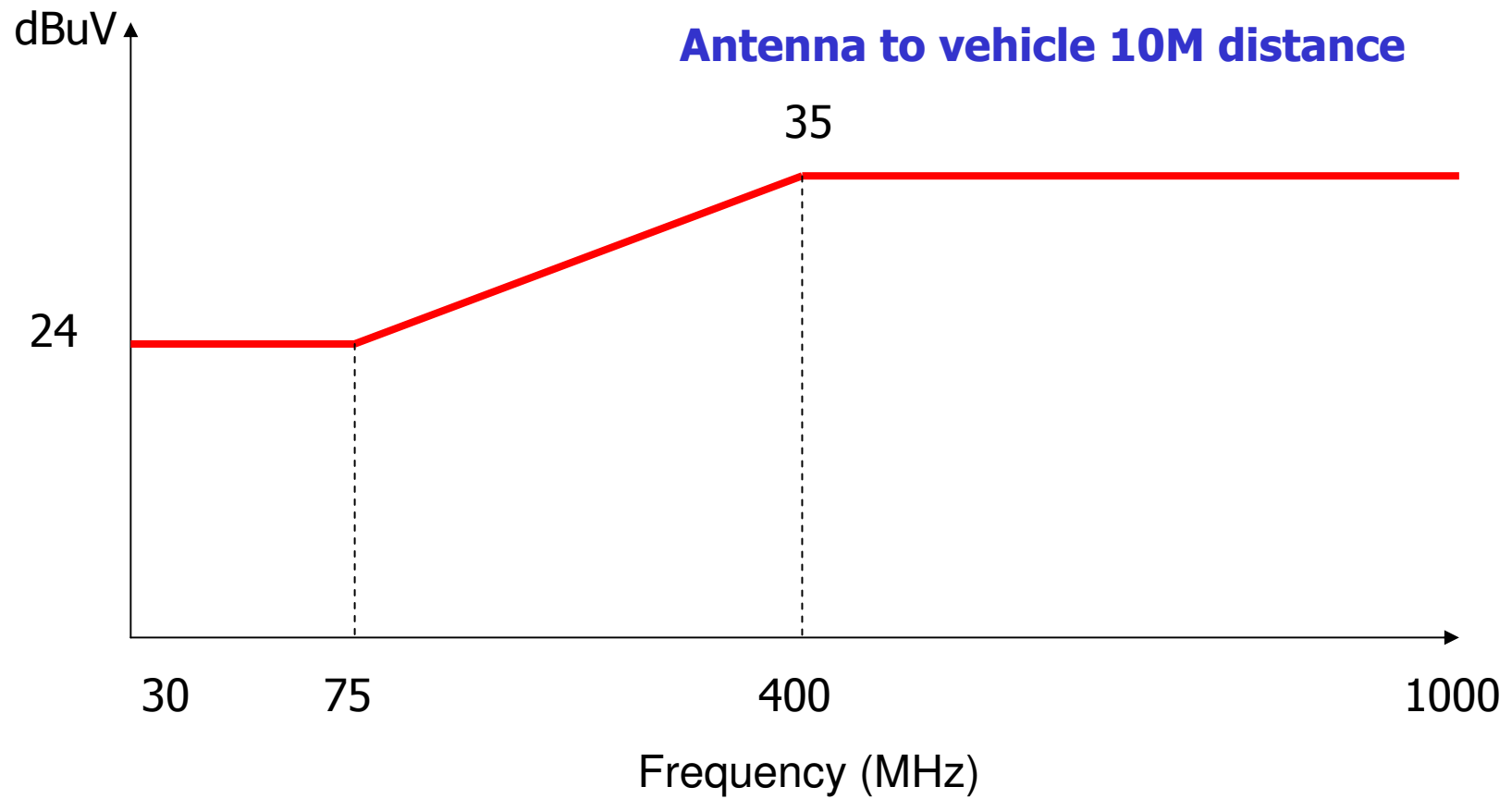
# EC Vehicle broadband limit



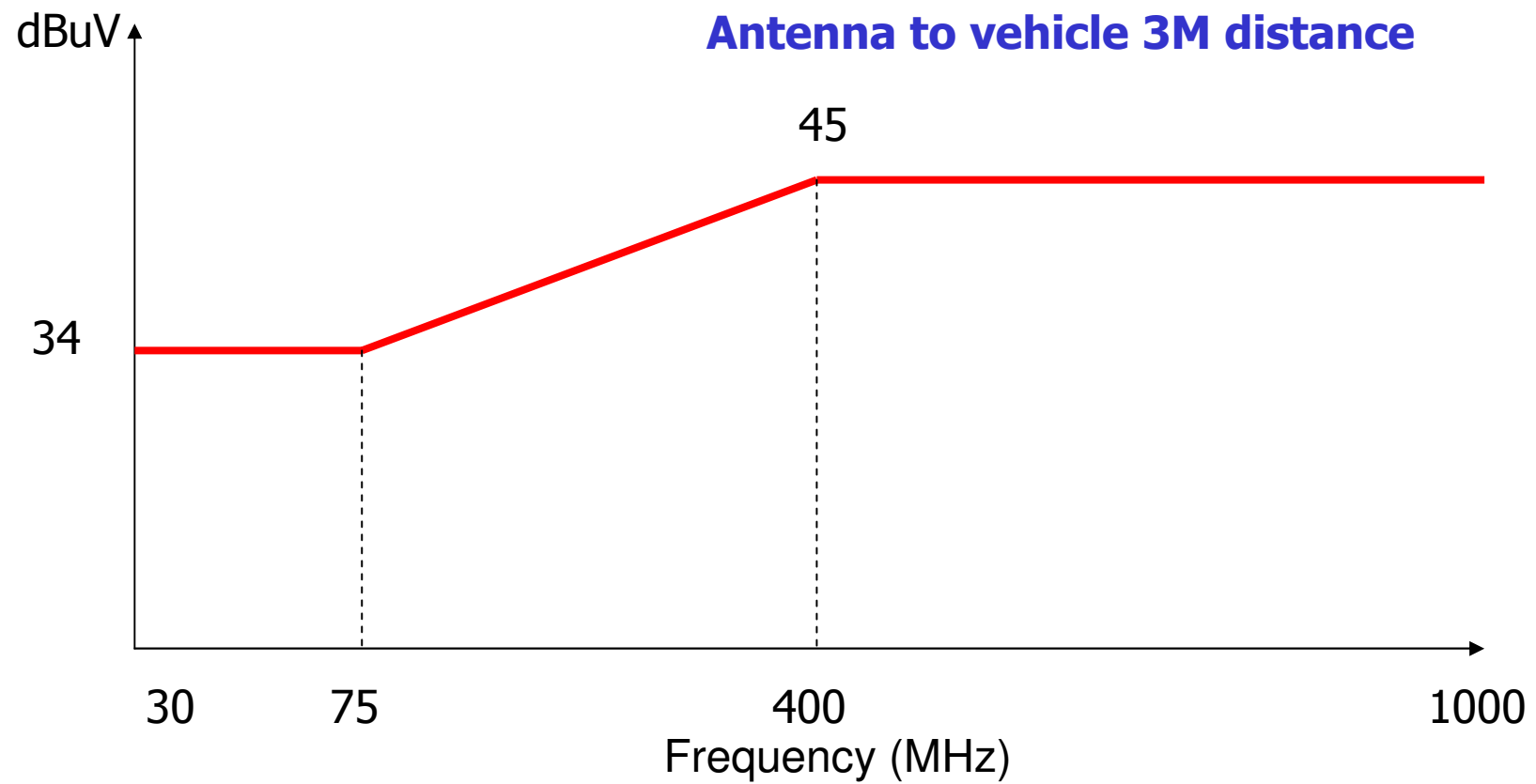
# EC Vehicle broadband limit



# EC Vehicle Narrowband limit

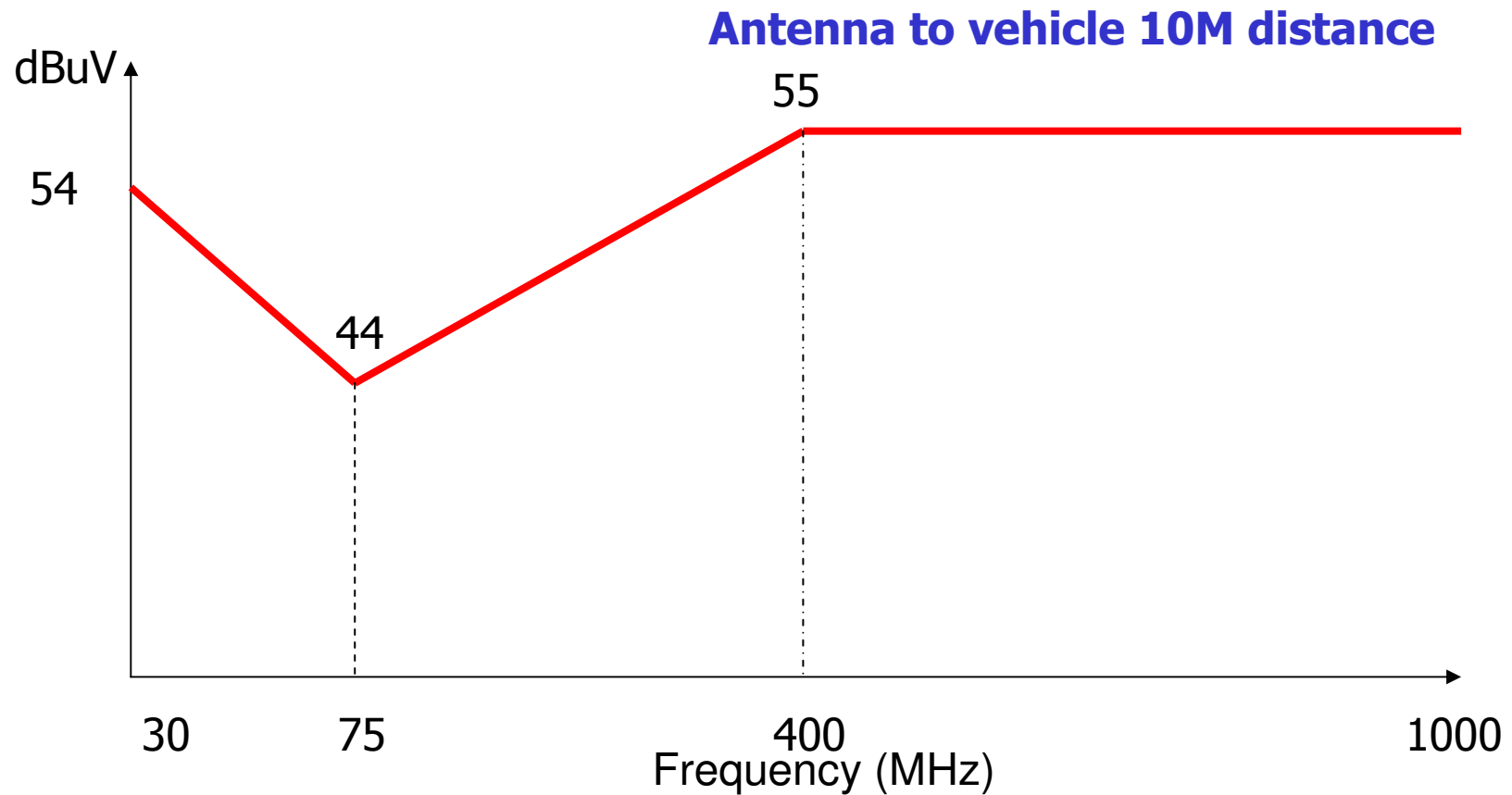


# EC Vehicle Narrowband limit

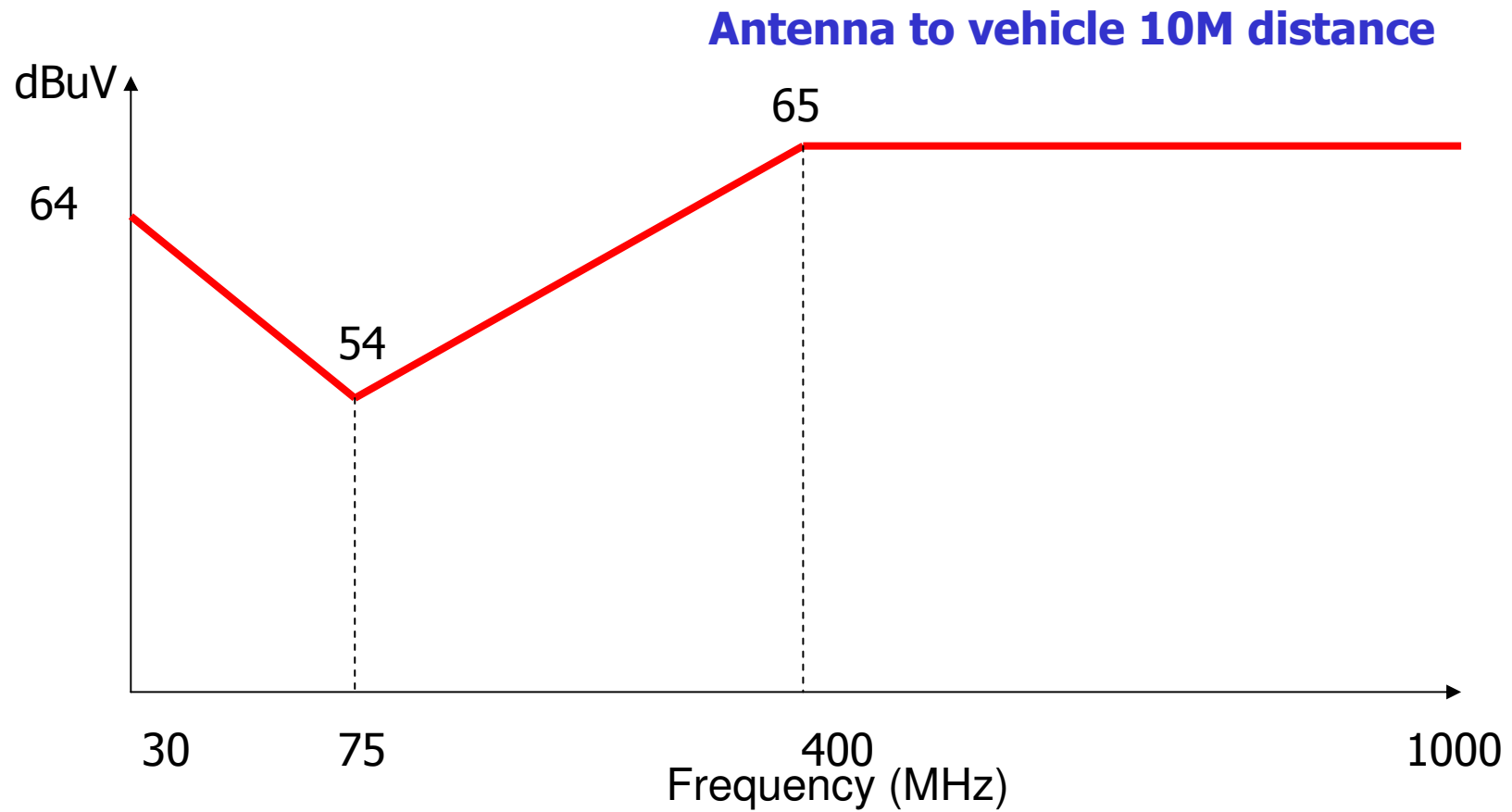




USA ESA Narrowband limit  
Annex VIII  
Electrical/electronic device part of vehicle

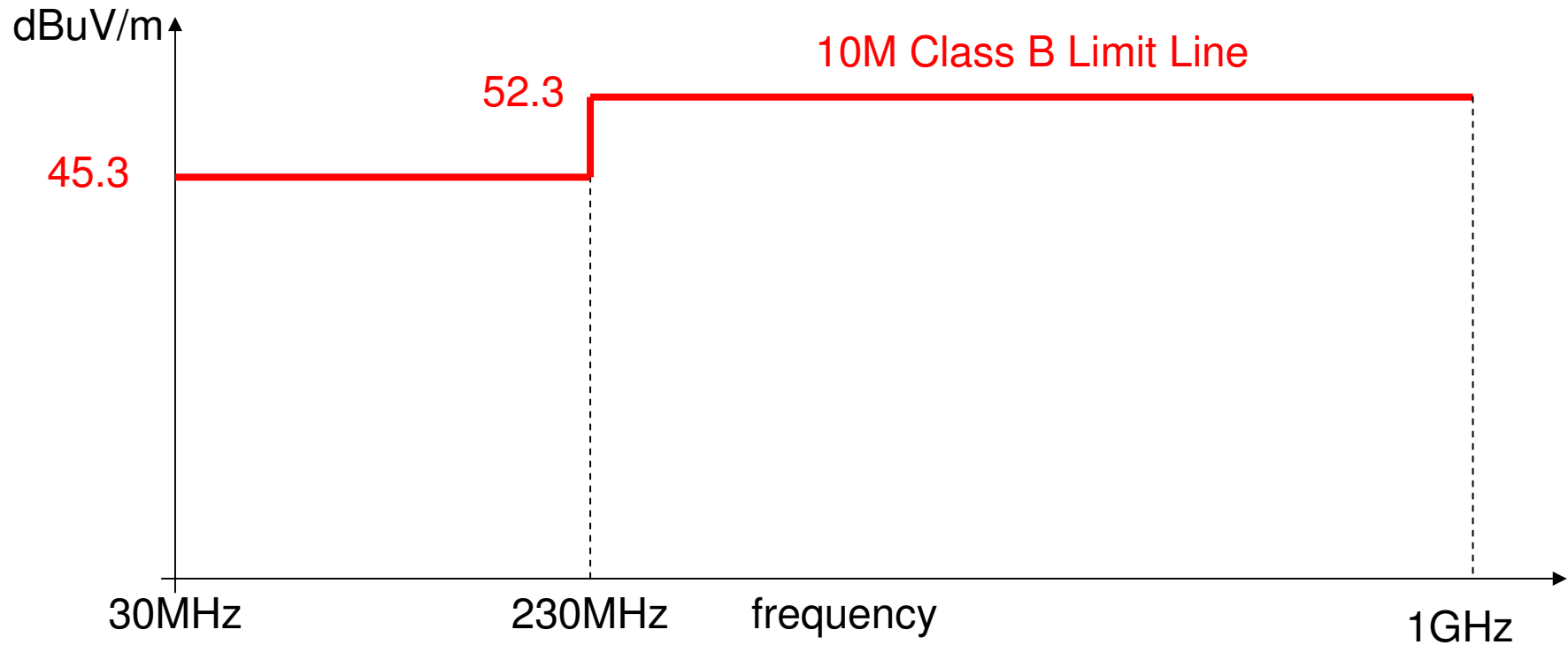


USA ESA broadband limit  
Annex VII  
Electrical/electronic device part of vehicle



# IEC 61967

## Measurement of IC emission

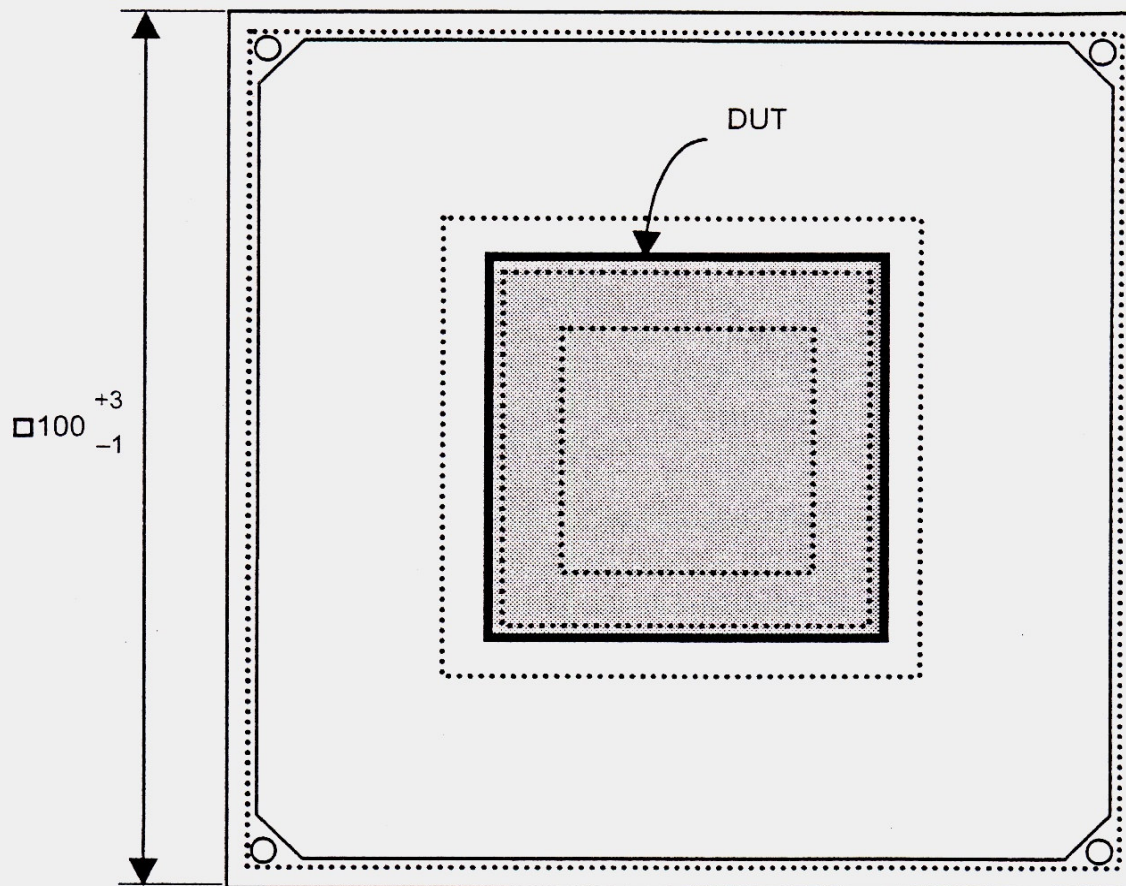


# General IC basic test board specification

61967-1 © IEC:2002

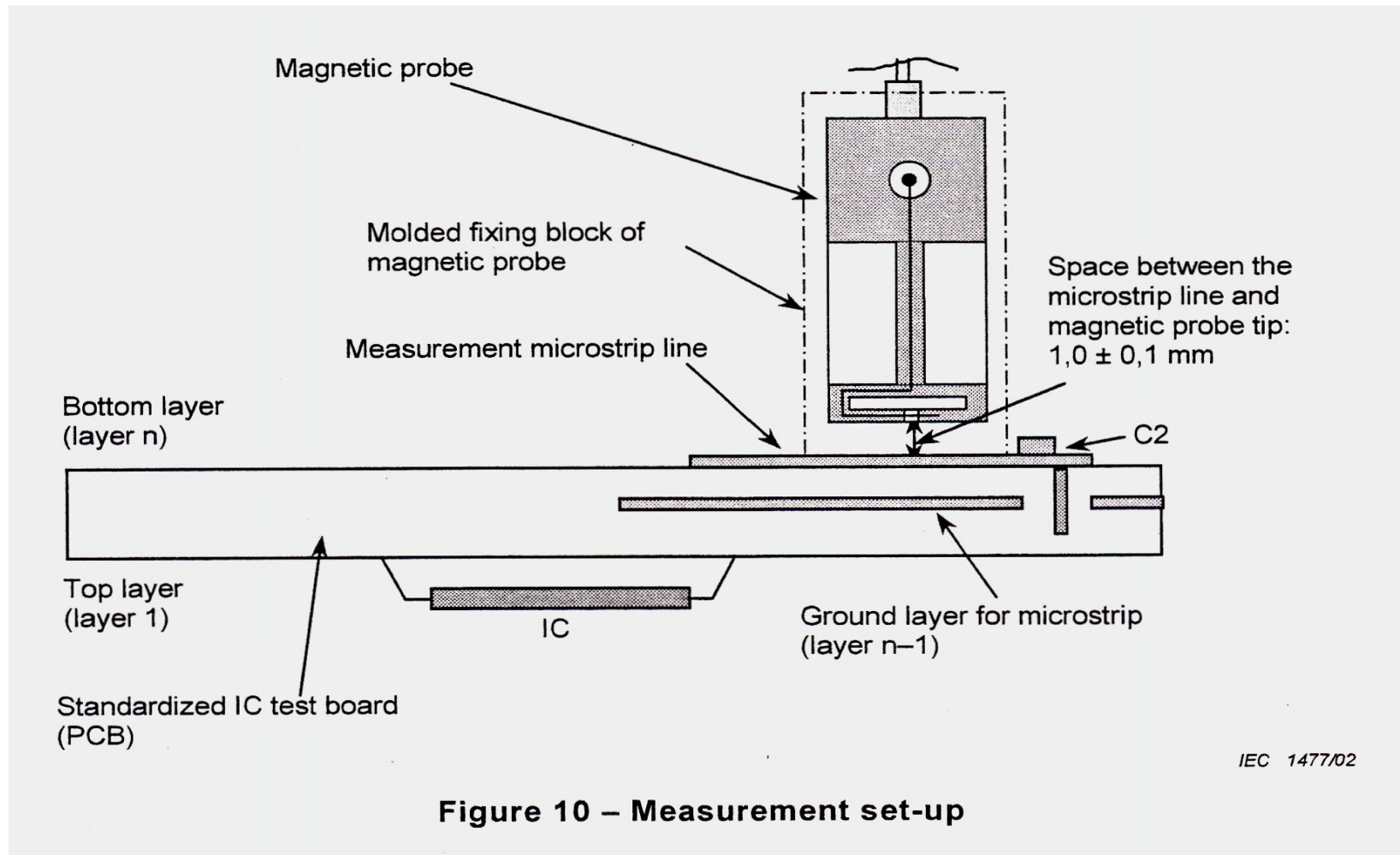
– 39 –

Board size  $100_{-1}^{+3}$  mm  
Square

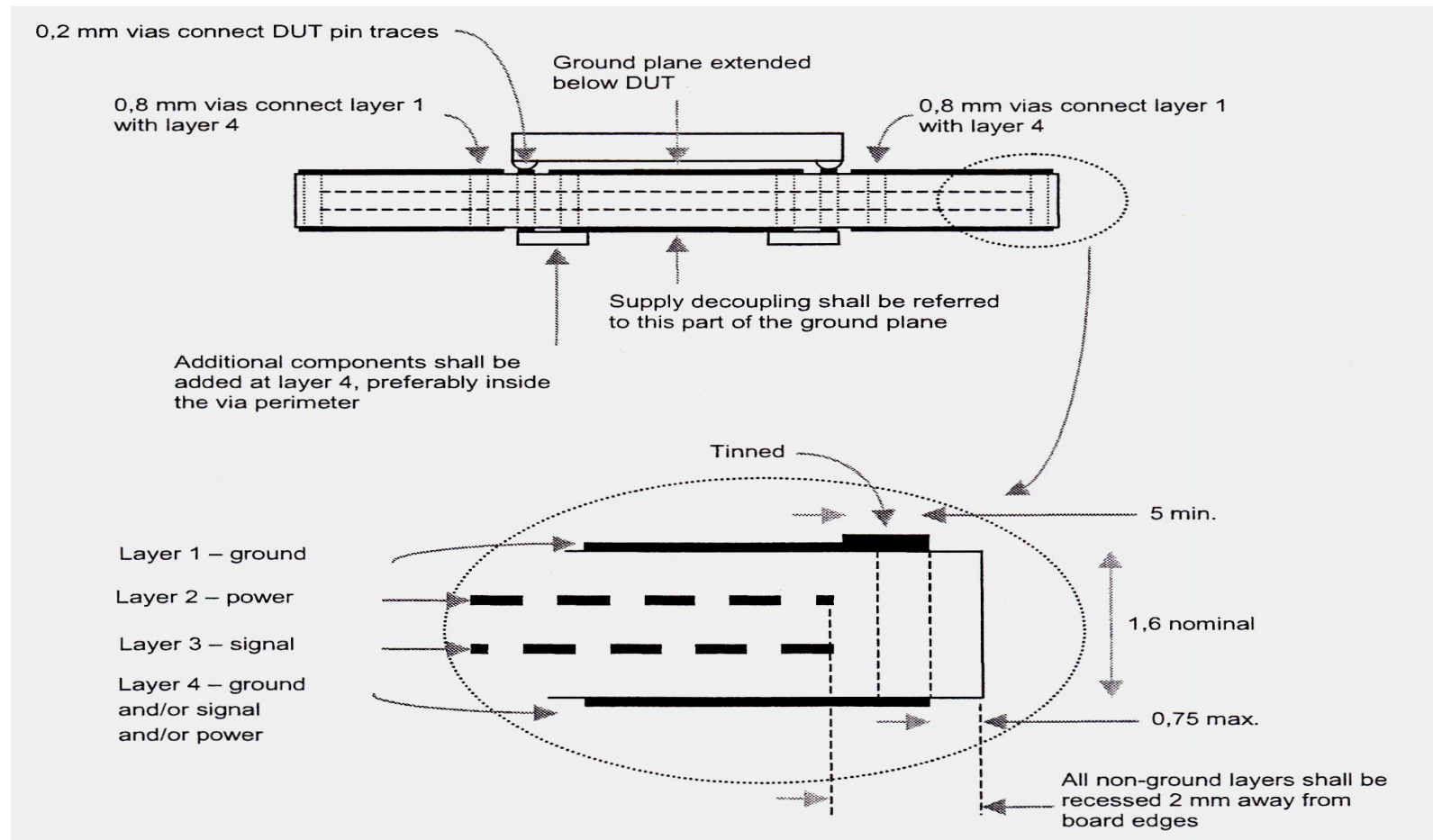


Additional holes may be added at the corner

# IEC 61967 IC Measurement Setup

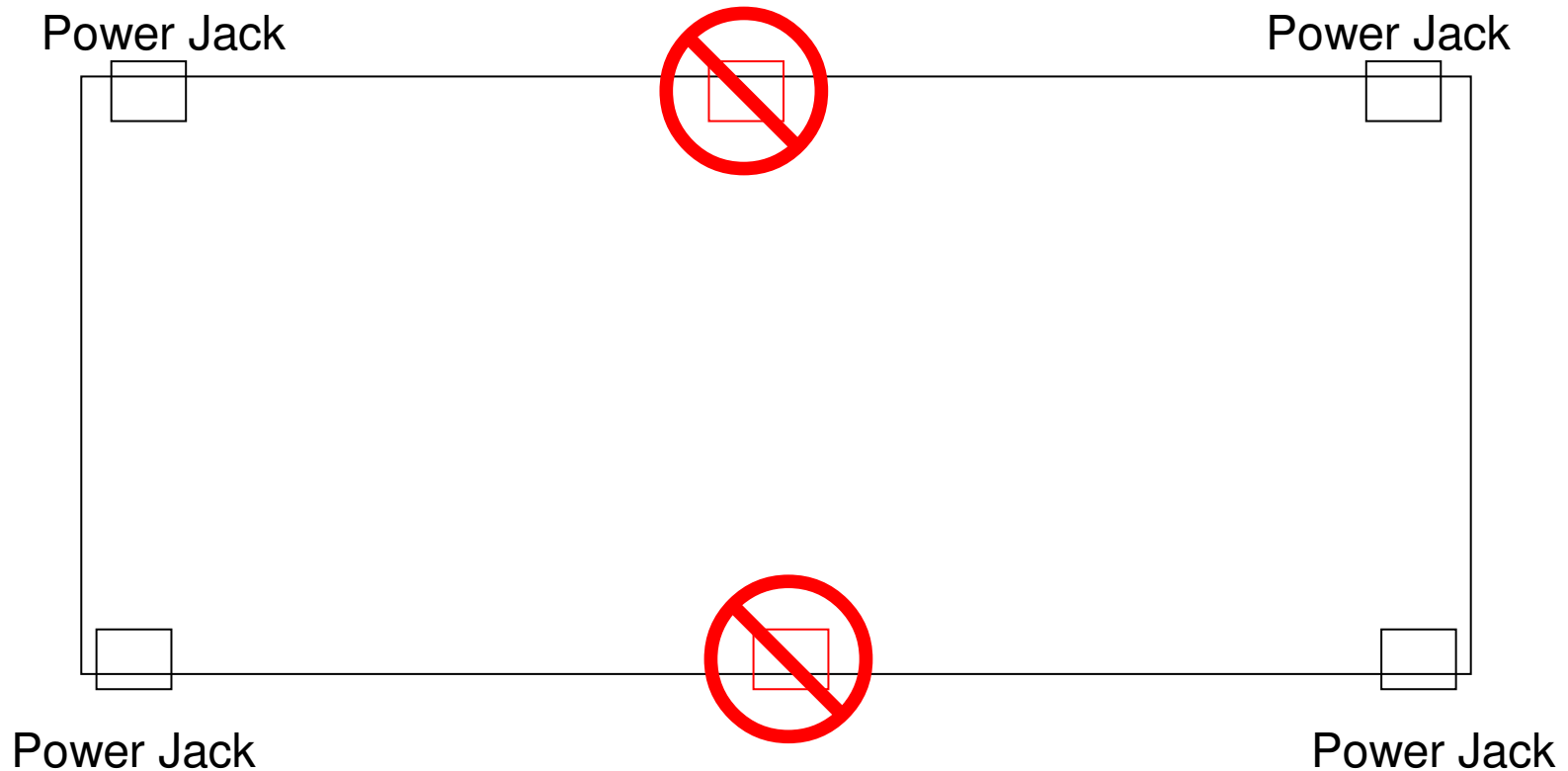


# General basic test board specification



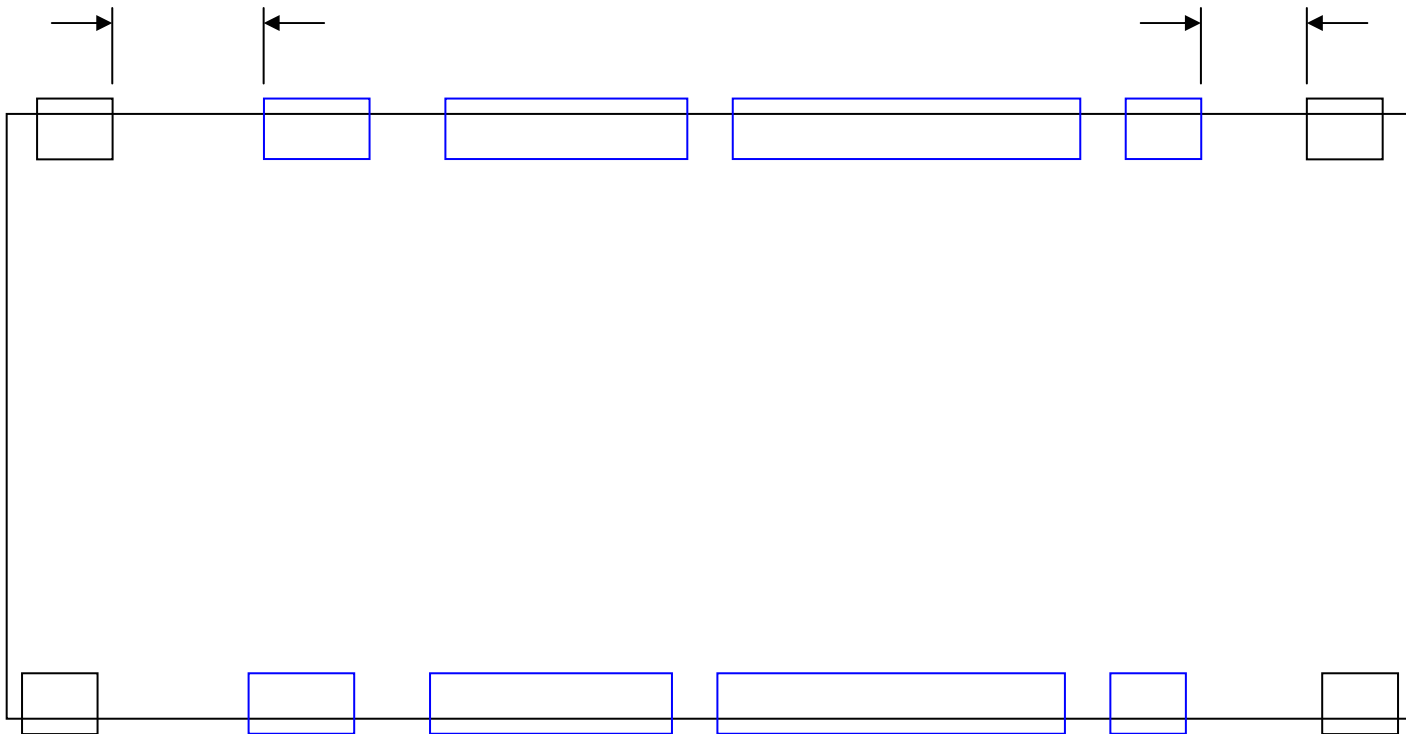
# PCB Placement

- Power input jack place as corner as possible
- If Possible do not locate power input jack on the middle



# PCB Placement

- Power Input Jack as far as possible from signal I/O connector to reduce power noise coupling effect

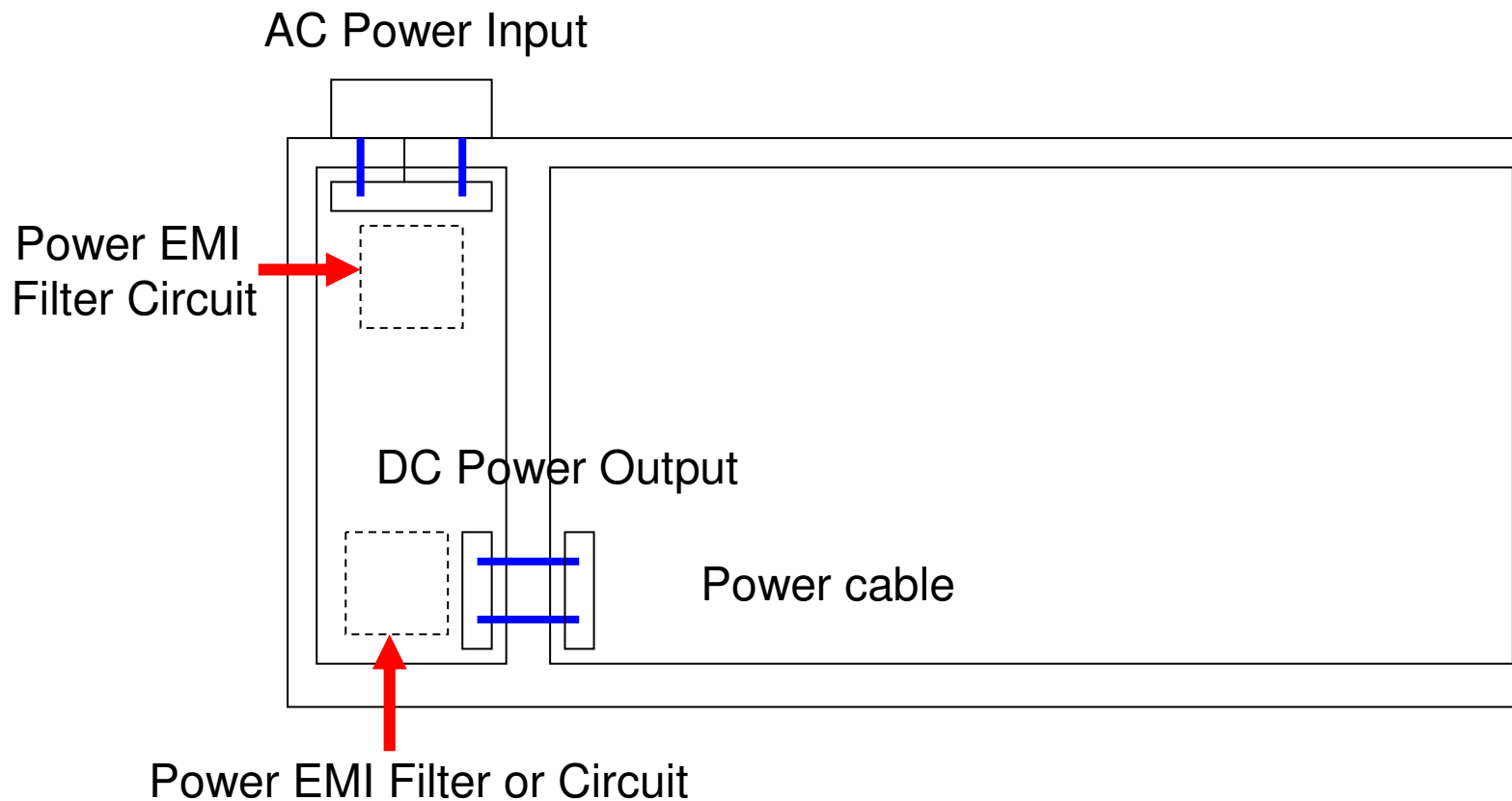




# PCB Placement

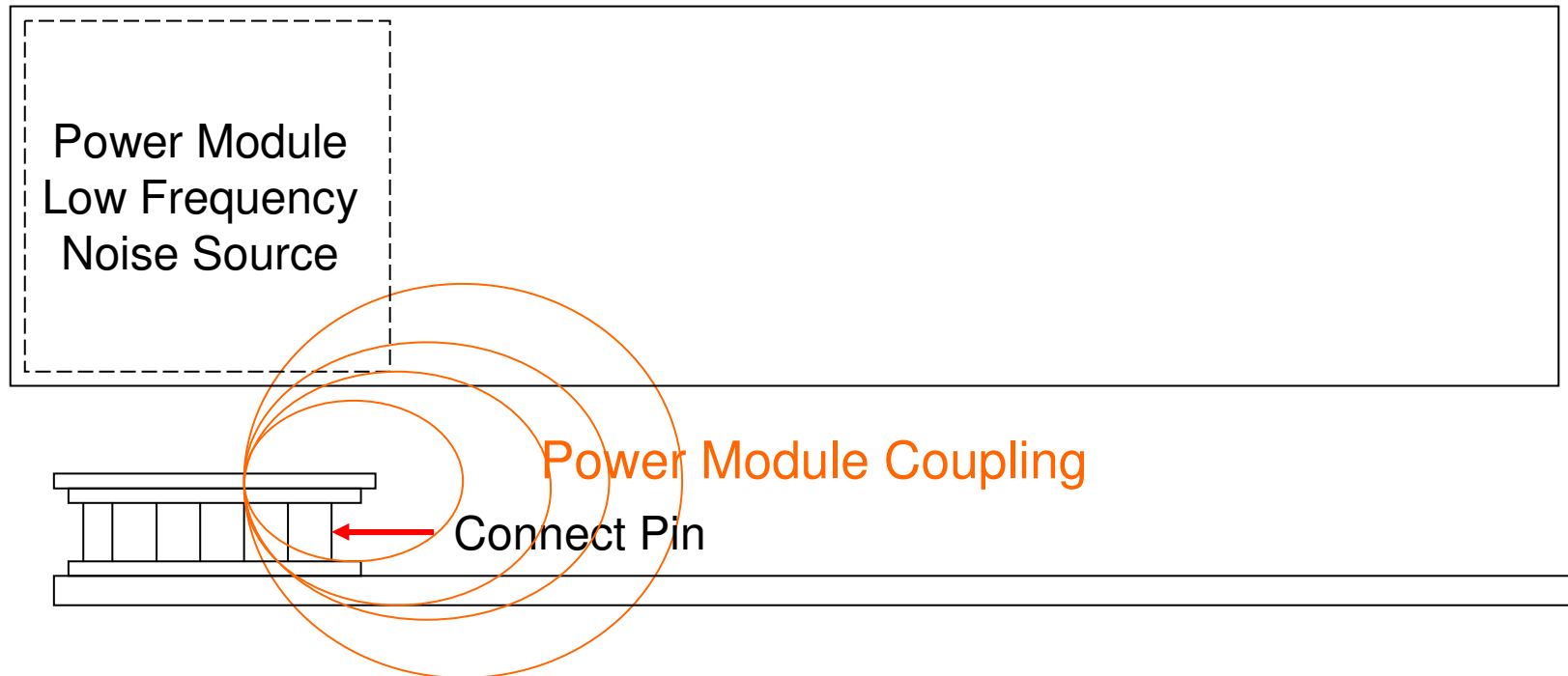
Power module put side of main PCB

Power Cable as short as possible, Twisted is good for EMI



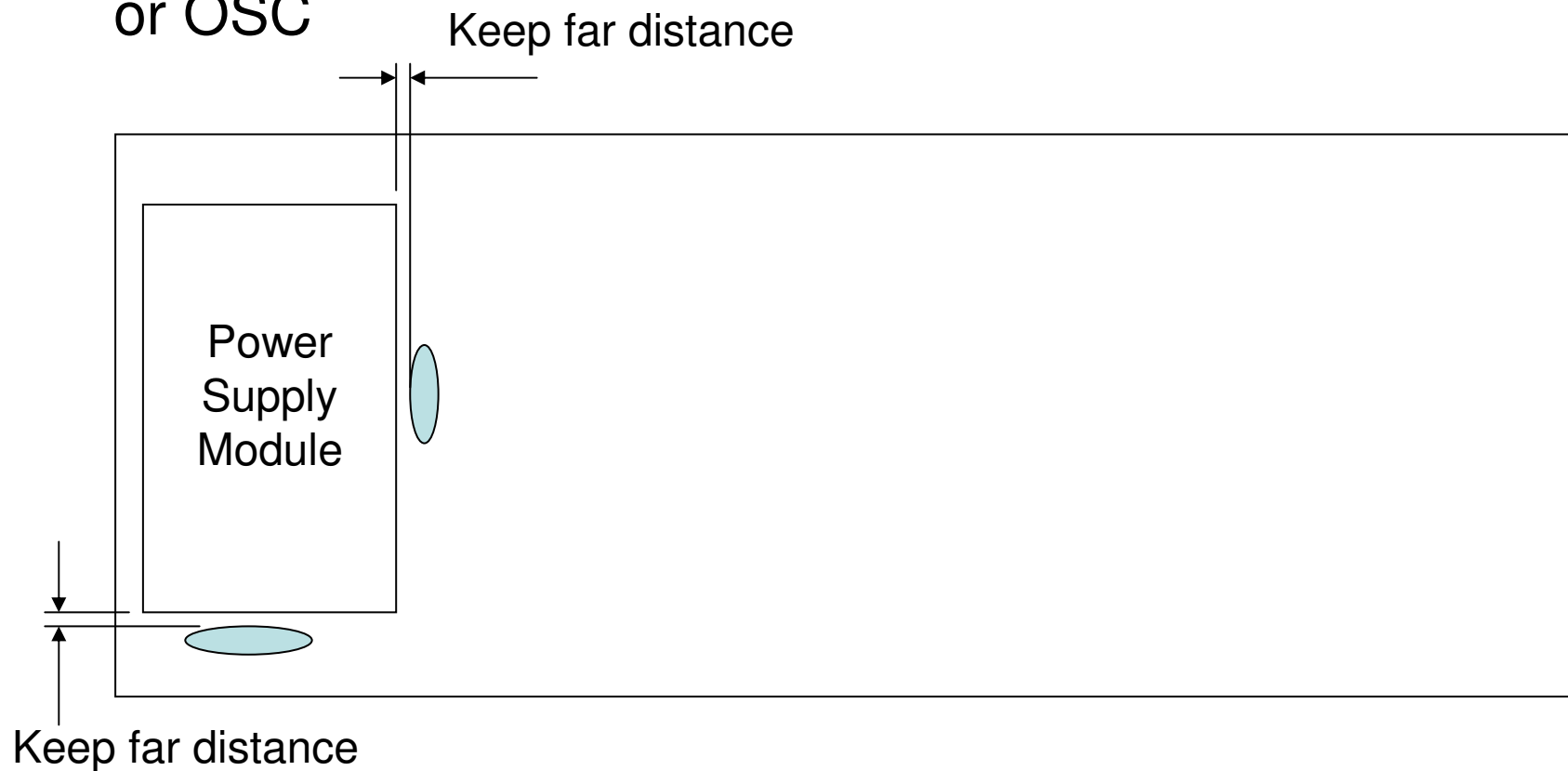
# PCB Placement

- Power Module do not stack on Main PCB  
(like daughter board) because the connect pin will coupling noise



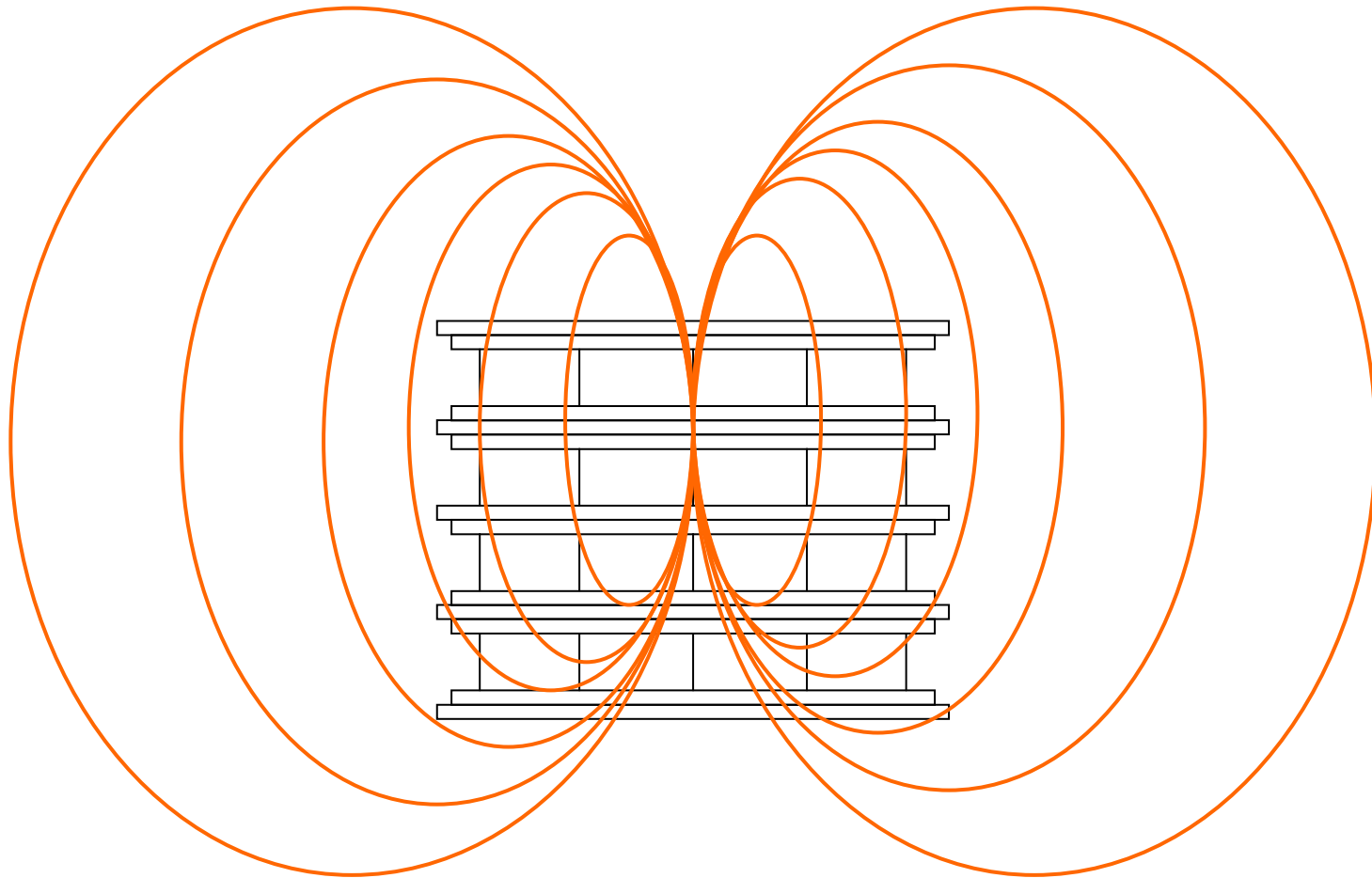
# PCB Placement

- Crystal or OSC do not close to Power supply module
- Power low frequency radiated noise will coupling Crystal or OSC



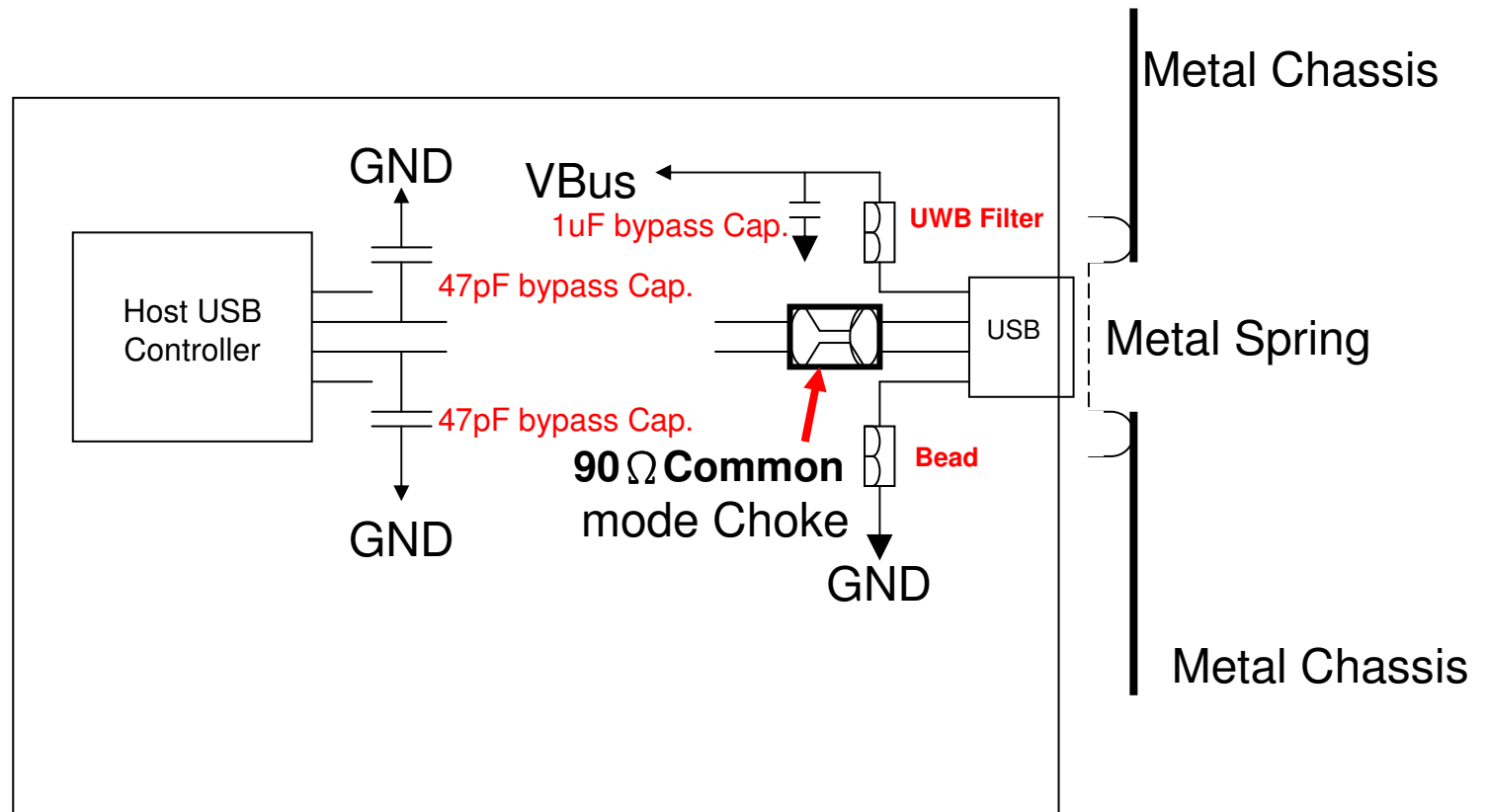
# PCB Placement

Multi Stack PCB will easy have strong Vertical Polar radiated noise  
If possible do not use Multi Stack design



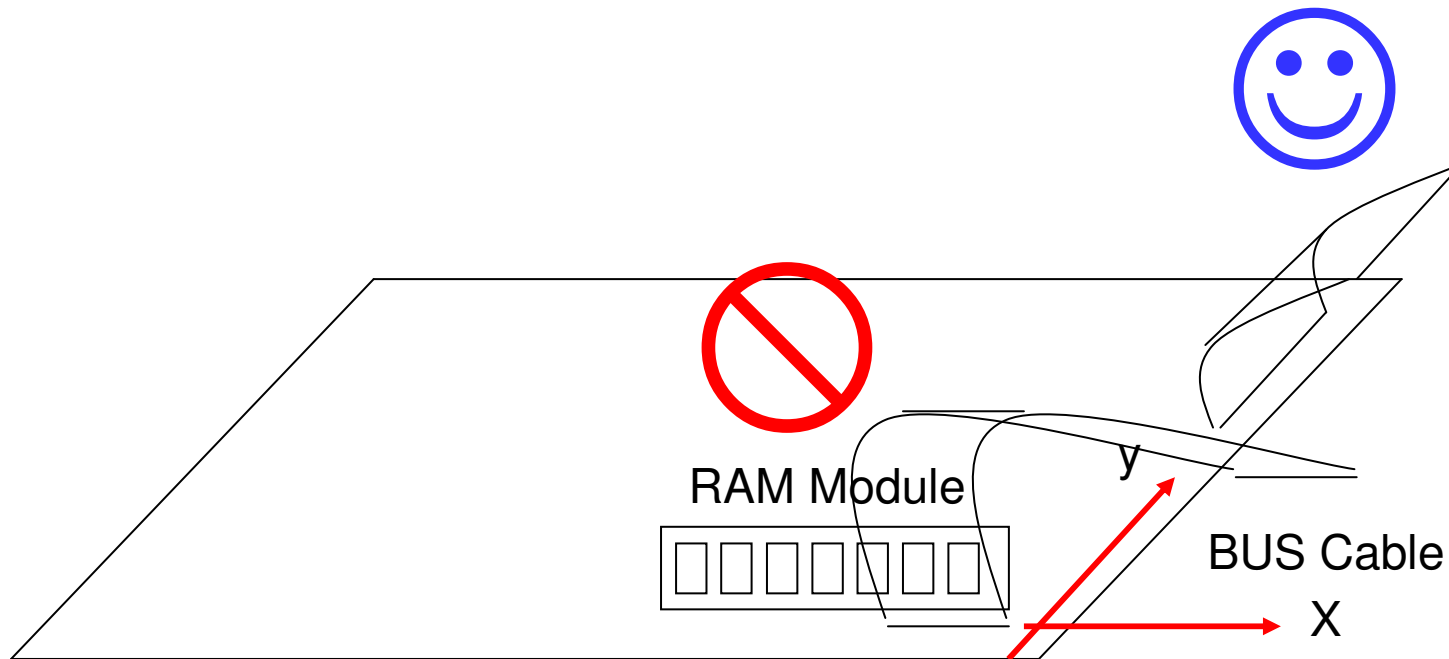
# PCB Placement

USB D+/D- connect with Common mode Choke close to Connector  
USB 5V connect with UWB Filter + 1uF bypass cap.  
Host Controller D+/D- connect with 47pF bypass cap. Close to Chip



# PCB Placement

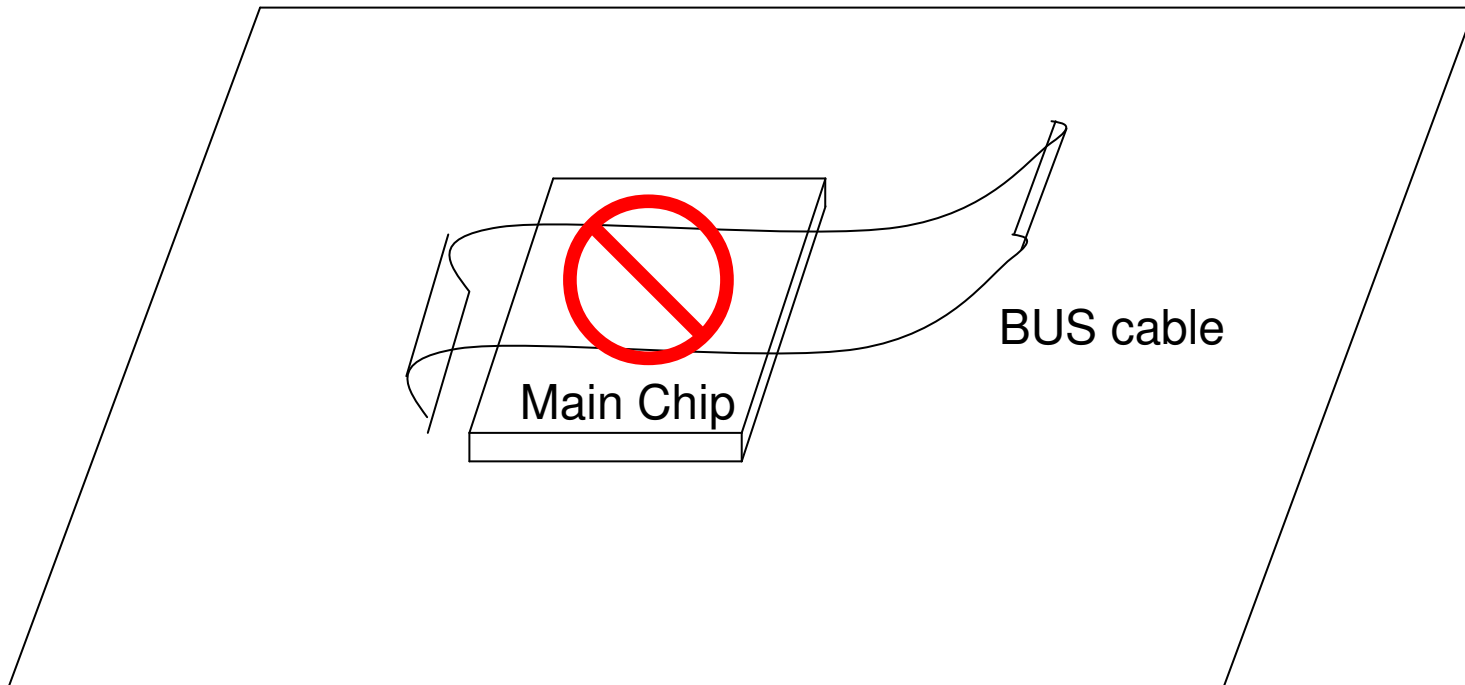
BUS Cable do not close to RAM Module to avoid coupling RAM CLK Noise  
BUS Cable far away from RAM Module is good for EMI noise reduce  
If possible BUS cable can be arrange  $90^\circ$  with RAM Bus cable



# PCB Placement

BUS Cable do not over or close the main chip

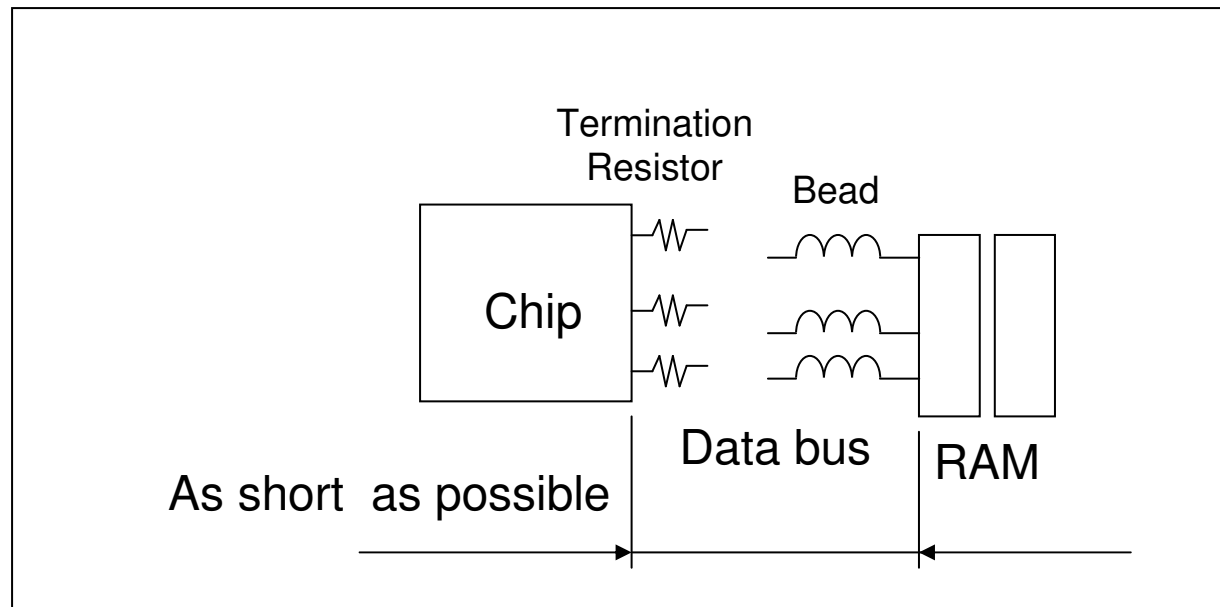
BUS Cable far away from main chip is good for EMI noise reduce



# PCB Placement

RAM bus trace put bead behind the termination resistor

RAM bus trace as short as possible (do not switch to the different layer)

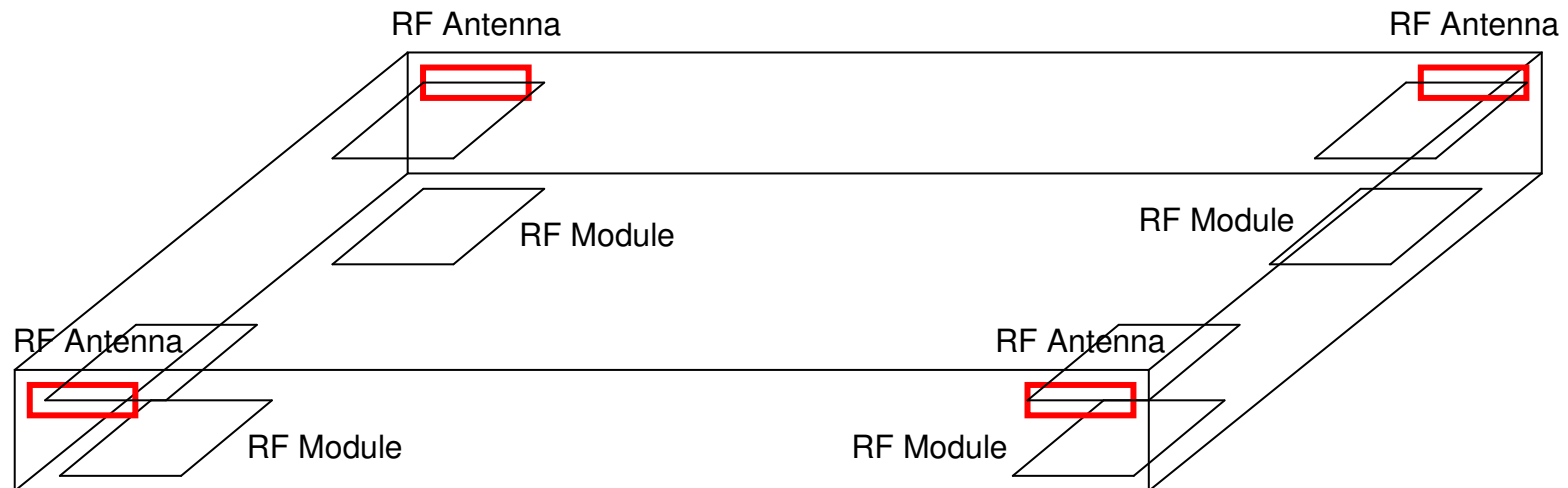




# PCB Placement

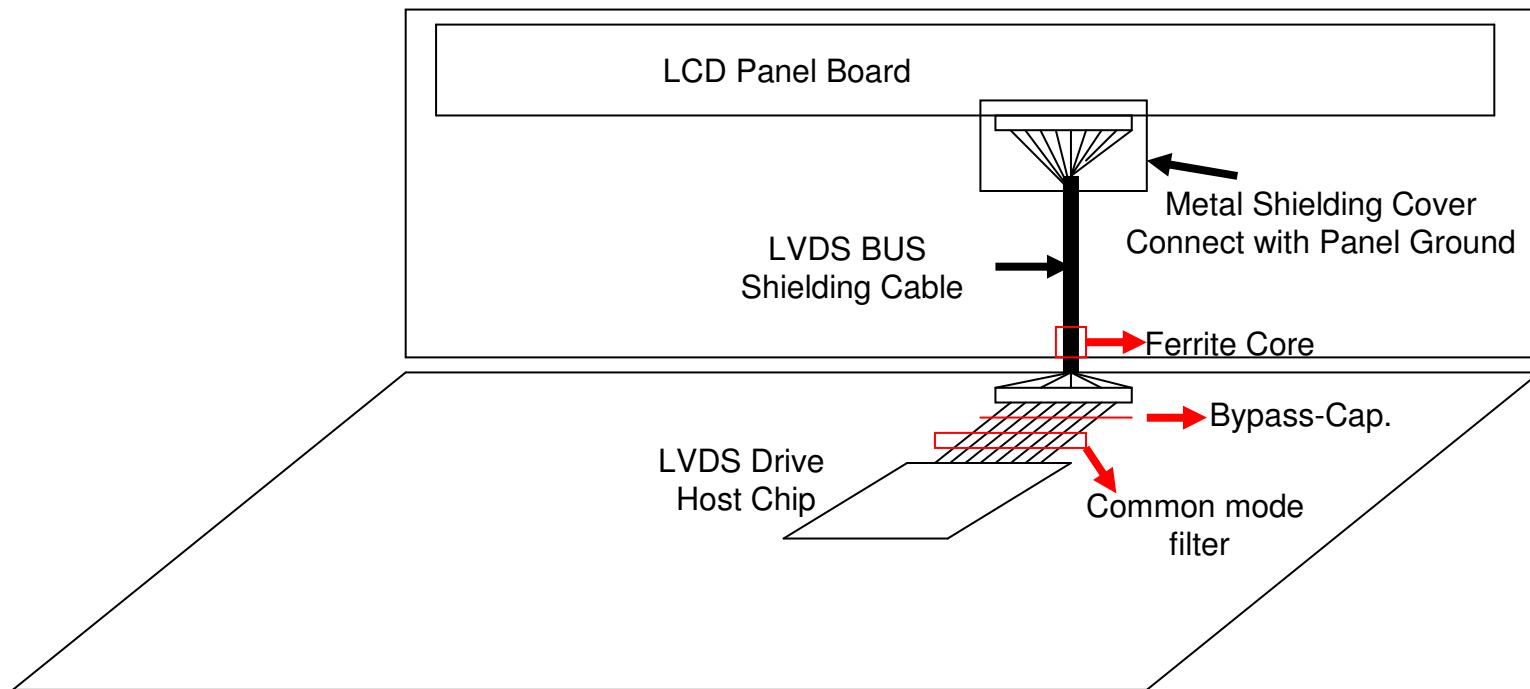
RF Antenna put on top corner of device

RF Module put on corner of device to avoid internal noise interference



# PCB Placement

- LVDS Bus trace from Driver chip to connector as short as possible
- Common mode filter close to drive chip
- Bypass Cap. Close to LVDS bus connector
- Use metal shielding cover connect to Panel GND
- If necessary clamp a little ferrite core at LVDS cable close to Main PCB side connector

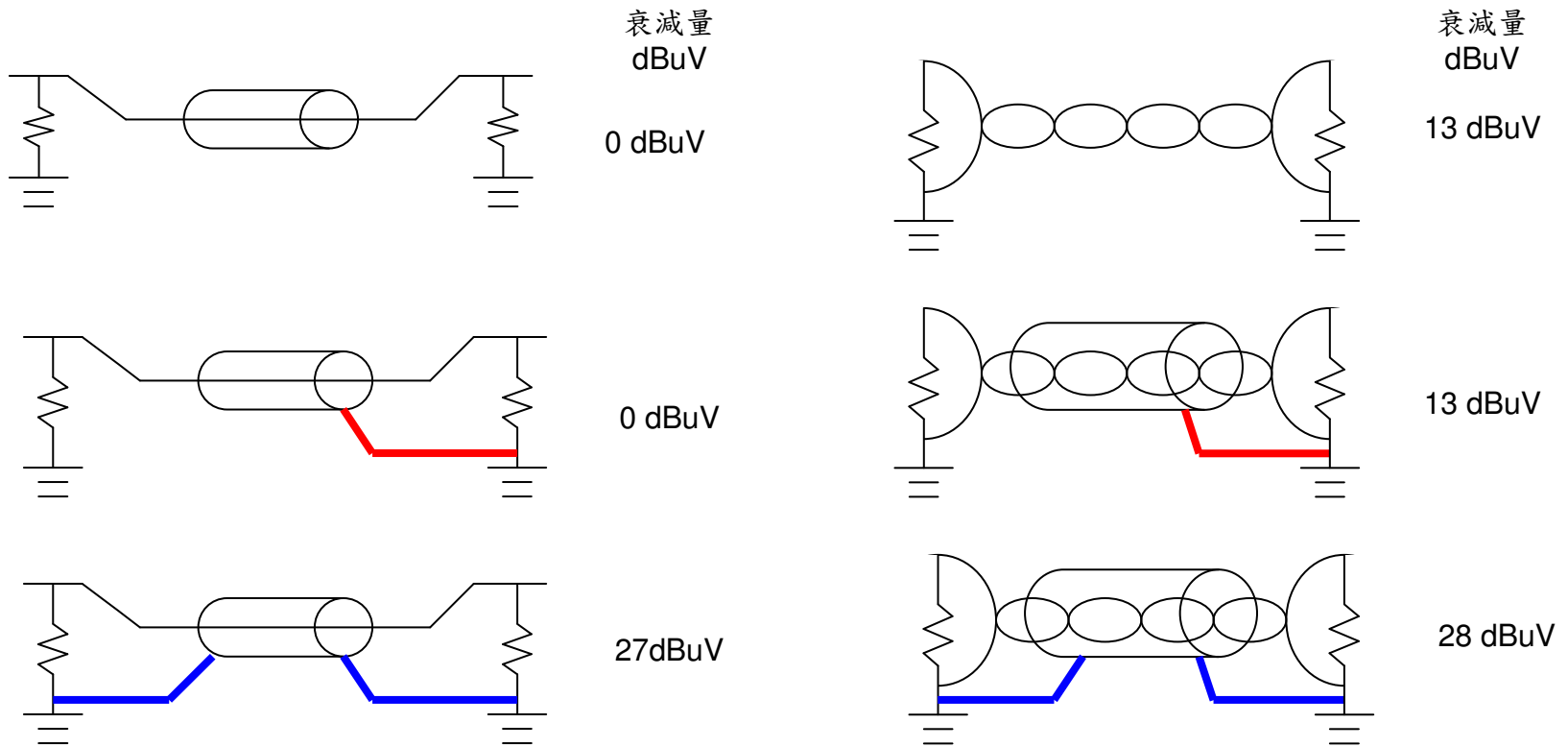


# PCB Placement

Shielding 只有一端接地只能消除電場，無法消除磁場

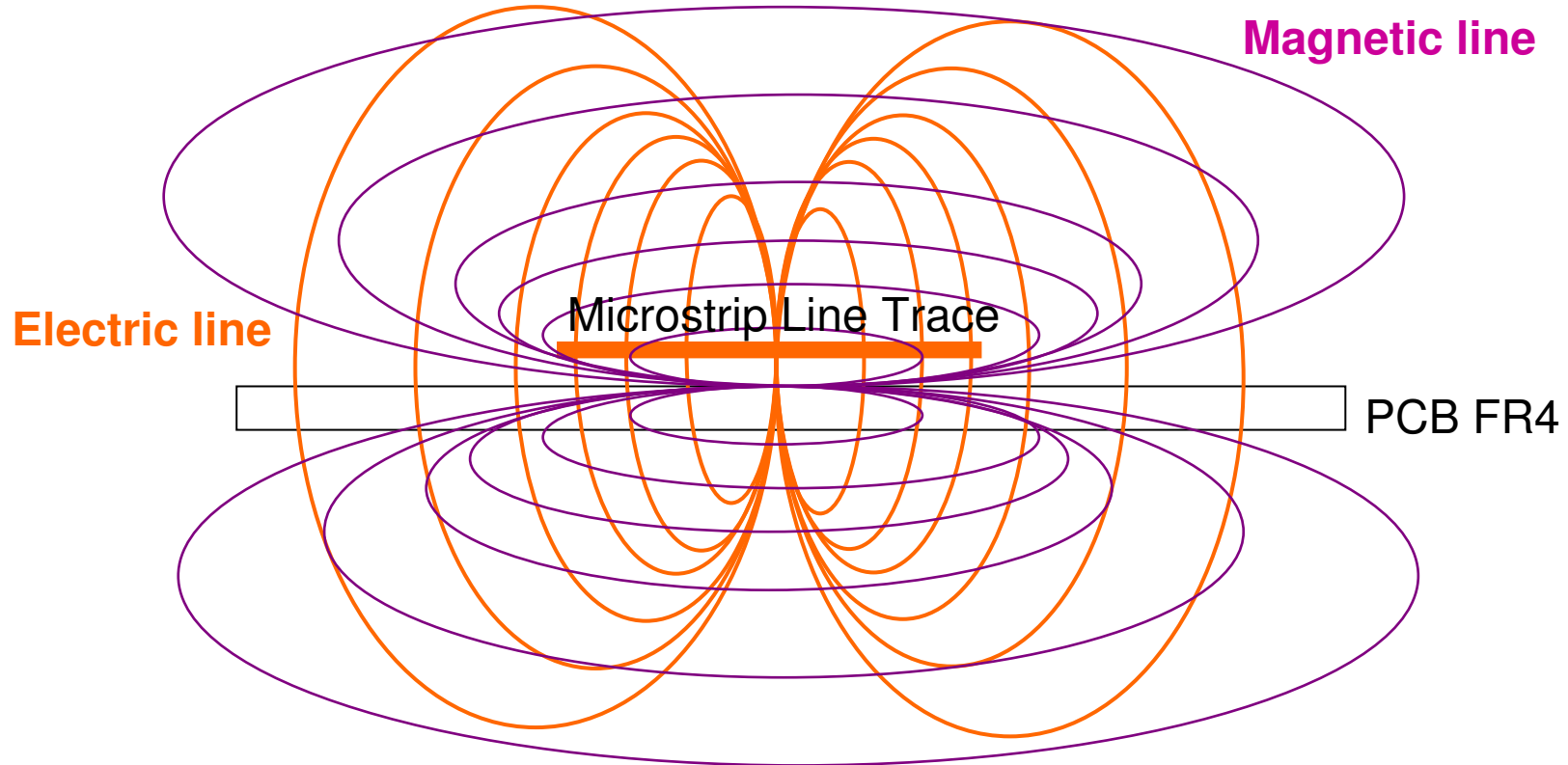
Shielding 兩端接地才能消除電磁場幅射

絞線是利用兩條線的相位相反，振幅相同的原理將雜訊抵消




# PCB Stack

Only Microstrip line (Top and Bottom Layer Trace) will radiated EM line



# PCB Stack

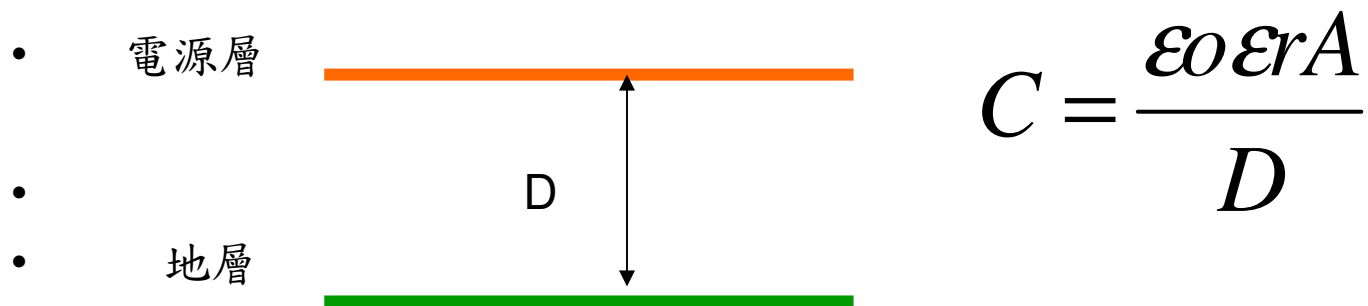
- 2 Layer PCB : 至少要有一面為連續的地平面層，另一層為電源和信號的佈線層(如下頁圖示)

- 4 Layer PCB :
    - 信號線層
    - 電源層
    - 地層
    - 信號線層
- 

- 4層板的設計將引出2個高電容、低電感的佈線層，降低電源匯流排上的電壓瞬變,改善EMI性能

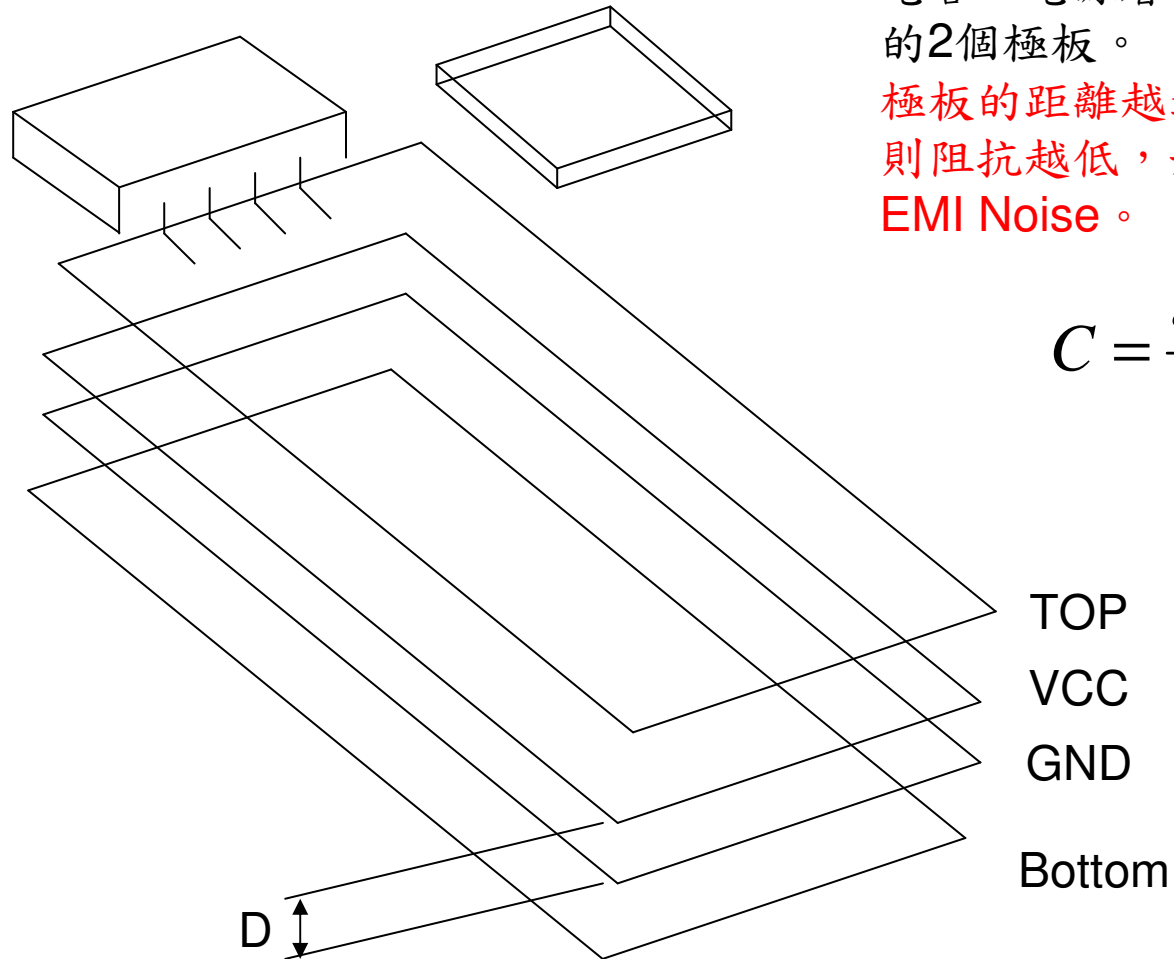


# PCB Stack



- 上圖可看作為一個電容，電源層和地層是電容的2個極板。極板的距離越近，電容越大則阻抗越低，如此可以減低EMI Noise。

小型化的產品，儘量使用多層板設計。



電源層和地層可看作為一個電容，電源層和地層是電容的2個極板。

極板的距離越近，電容越大則阻抗越低，如此可以減低EMI Noise。

$$C = \frac{\epsilon_0 \epsilon_r A}{D}$$

TOP

VCC

GND

Bottom



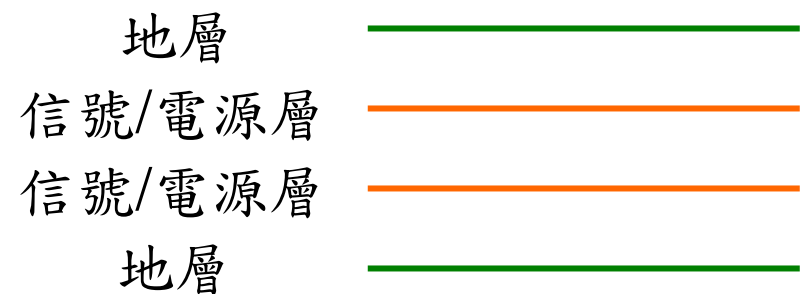
# 4 Layer PCB Stack

4層板:傳統的4層板厚度為62mil,電源分層間距為6mil,夾層介電材質為FR4,每平方英寸電源層的等效電容約為75pF.

如果無成本要求為首要條件,則可參考以下的堆疊方案:

方案1:

如圖所示:PCB外層均為地層.  
中間兩層為信號/電源層.信號層上的電源用寬線走線.如此可使電源電流的路徑阻抗低  
信號微帶路徑的阻抗也低



# 4 Layer PCB Stack

方案2：

如圖所示：外層均為信號層。

中間兩層為地層/電源層。信號

層上的電源用寬線走線。如此

可使電源電流的路徑阻抗低

信號微帶路徑的阻抗也低

走線長度短於信號最高諧波波長的

1/20將外層無元件或無走線區域鋪

銅填充並將覆銅區接地將鋪銅區與內

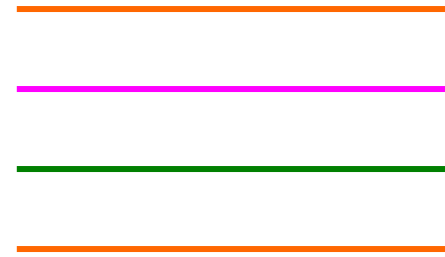
部接地層多點相連

信號層

電源層

地層

信號層

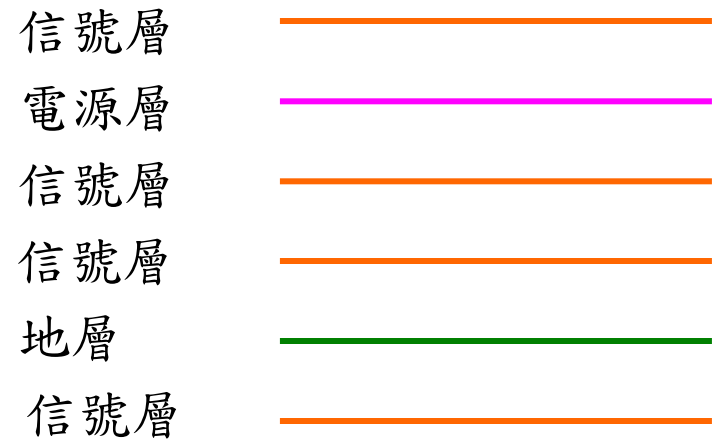


# 6 Layer PCB Stack

6層板:

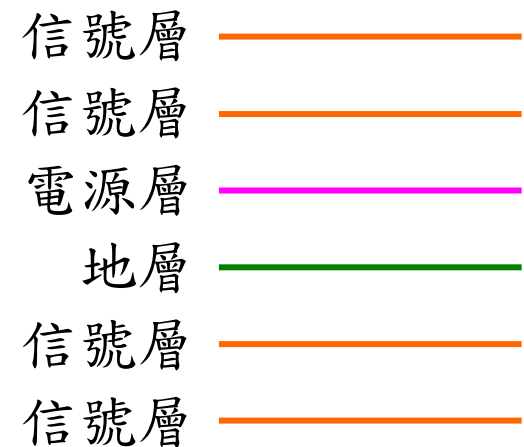
方案1. 如圖所示:將電源和地分別放在第2和第5層,由於電源覆銅阻抗高,對抑制共模EMI輻射非常不利.

**EMI BAD DESIGN**



# 6 Layer PCB Stack

方案2. 如圖所示. 將電源和地放在第3和第4層. 如此解決電源覆銅阻抗問題但第1和第6層的電磁屏蔽性能差所以差模EMI變差了。  
解決方法可使外層的走線數量減少走線長度短於信號最高諧波波長的 $1/20$ 將外層無元件或無走線區域鋪銅填充並將覆銅區接地(每 $1/20$ 波長為間隔)將鋪銅區與內部接地層多點相連



# 6 Layer PCB Stack

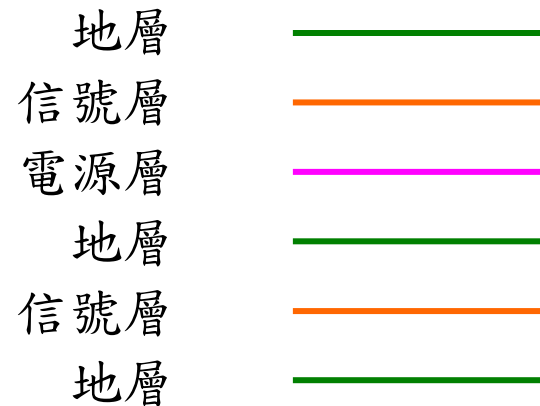
方案3. 高性能6層板的堆疊(三明治夾層)

第1和第6層為地層, 第3層為電源

第4層為地. 第2及第5層為信號層

由於信號線層夾藏於接地和電源層之間, 所以對EMI抑制效果最好.

**EMI GOOD DESIGN**



# 8 Layer PCB Stack

## 8層板:

因為多層板之間的絕緣隔離非常薄,所以層間阻抗非常低,只要分層和堆疊依循正確方式進行,就能得到良好的信號完整性.

設計上為了提供信號電流及回路電流良好的通路,適當的佈線策略是

第1和第3層為一對分層組合.

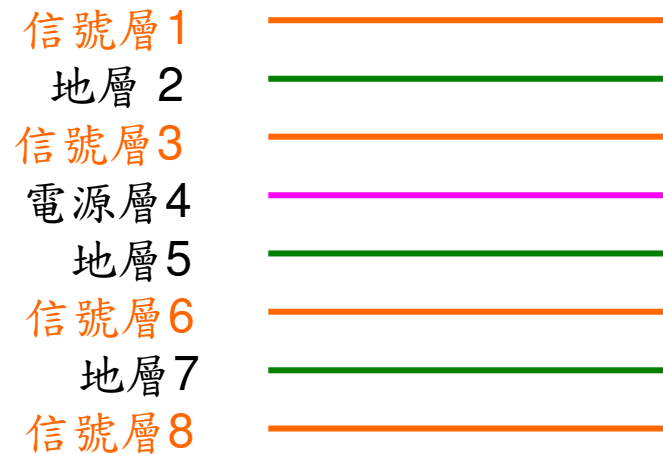
第1層沿X方向走線,

第3層沿Y方向走線.

第6和第8層為一對分層組合.

第6層沿X方向走線,

第8層沿Y方向走線.



# 10 Layer PCB Stack

10層板：

因為多層板之間的絕緣隔離非常薄，所以層間阻抗非常低，只要分層和堆疊依循正確方式進行，就能得到良好的信號完整性。

設計上為了提供信號電流及回路電流良好的通路，適當的佈線策略是

第1和第3層為一對分層組合。

第1層沿X方向走線，

第3層沿Y方向走線。

第4和第7層為一對分層組合。

第4層沿X方向走線，

第7層沿Y方向走線。

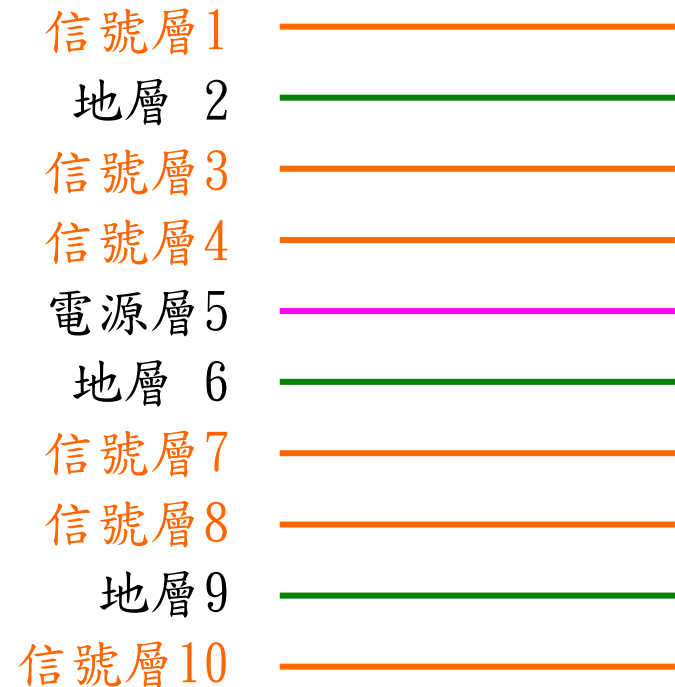
第8和第10層為一對分層組合。

第8層沿X方向走線，

第10層沿Y方向走線。

當第1層走線要改變方向時，可藉由過孔到

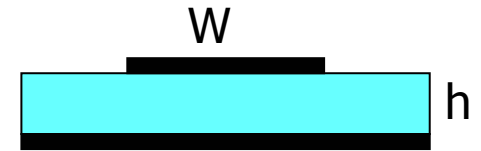
第3層在轉變方向



# 50 $\Omega$ 理想傳輸線阻抗之設計

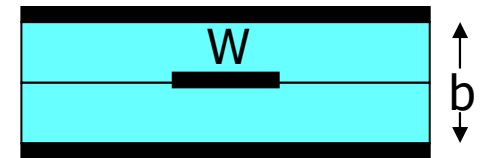
- Microstrip 微帶線:

50 Ohm line in FR4 has  $w:h=2:1$



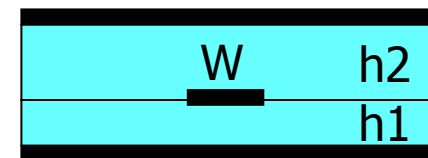
- Stripline 帶線:

50 Ohm line in FR4 has  $w:b=1:2$



- Asymmetric Stripline:

50 Ohm line in FR4 has  $w:h_1=1:1$ ,  $h_2=2 \times h_1$





# 不同材質之 $50\Omega$ 理想微帶線之設計

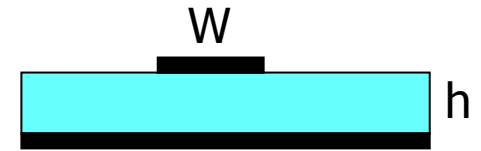
- FR4 ( $\epsilon_r \sim 4$ ):

50 Ohm line in FR4 has  $w:h=2:1$



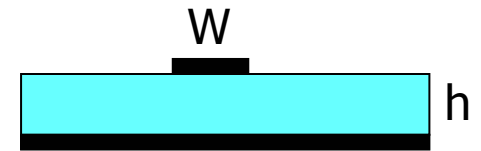
- $\text{Al}_2\text{O}_3$  氧化鋁 ( $\epsilon_r \sim 9.9$ ):

50 Ohm line in  $\text{Al}_2\text{O}_3$  has  $w:h=1:1$

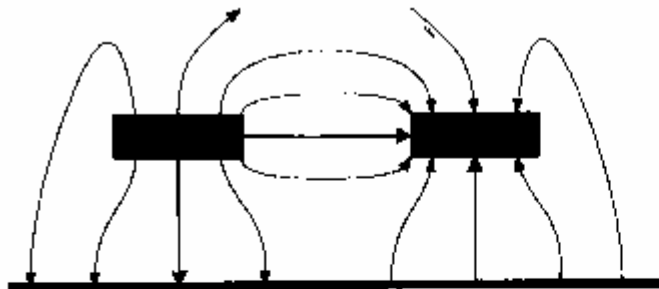


- GaAs 砷化鎵 ( $\epsilon_r \sim 12.9$ ):

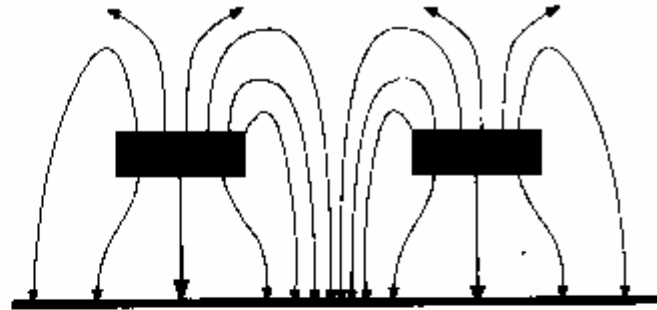
50 Ohm line in GaAs has  $w:h=0.7:1$



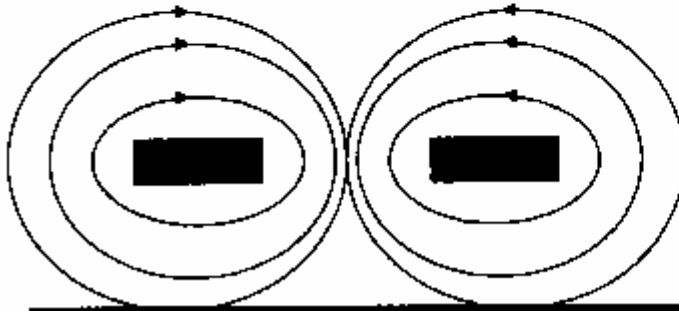
# Field Patterns



Electric field: Odd mode



Electric field: Even mode



Magnetic field: Odd mode

Impedance: lower

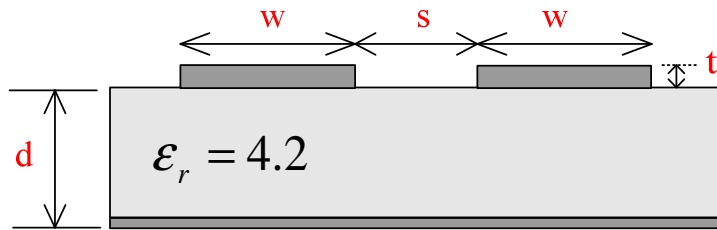


Magnetic field: Even mode

Impedance: higher

$$\text{velocity} \propto 1/\sqrt{\epsilon_{eff}}$$

# Design for 100Ω Differential Trace



( $d=1.5$ ,  $t=0.05\text{mm}$ )

$\epsilon_r = 4.3$  (FR4)

Metal Thickness  $T=0.05\text{mm}$

1. Single line design ( $50\Omega$ )

$$w/d \approx 1.8 \Rightarrow w \approx 2.73$$

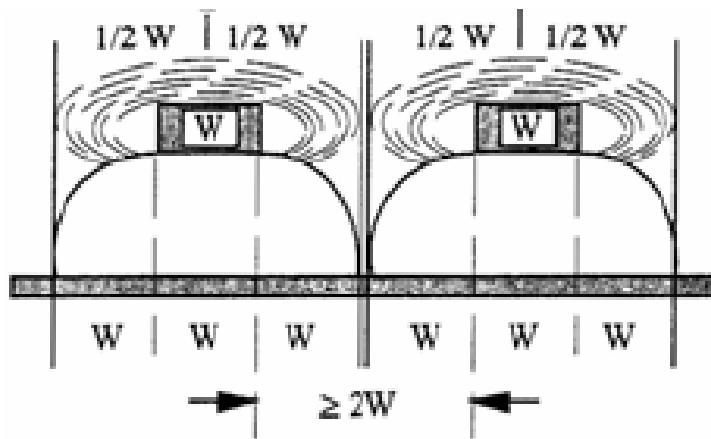
2. Coupled line modification

$$s/d = 1 \Rightarrow w/d = 1.4 \Rightarrow w$$

Unit: mm,  $\Omega$

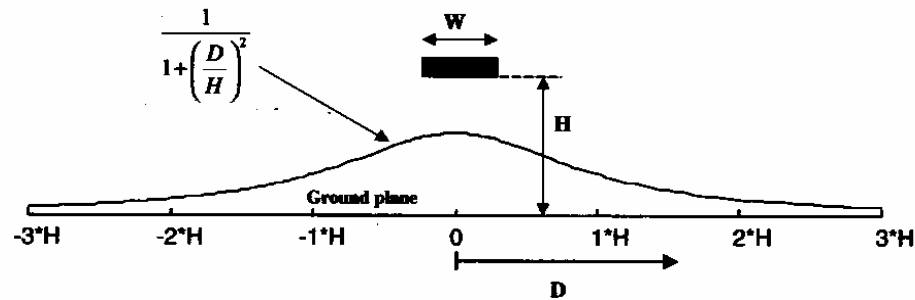
	d	W	S	Z <sub>odd</sub> ( Odd Mode Impedance )	Z <sub>differential</sub> =Z <sub>odd</sub> *2	Z <sub>even</sub> ( Even Mode Impedance )	Z <sub>0</sub> =SQRT(Z <sub>odd</sub> *Z <sub>even</sub> ) ( Characteristic Impedance )
Microwave Office	1.5	1.4	0.5	49.25	98.50	92.21	67.39
Cap2				48.48	96.96	92.68	67.03
Microwave Office	1.5	1.9	1.0	49.99	99.99	74.15	60.88
Cap2				49.80	99.60	73.93	60.68
Microwave Office	1.5	2.1	1.5	50.18	100.36	66.23	57.65
Cap2				50.99	101.98	67.27	58.57

# 3W-Rule vs. 6H-Current

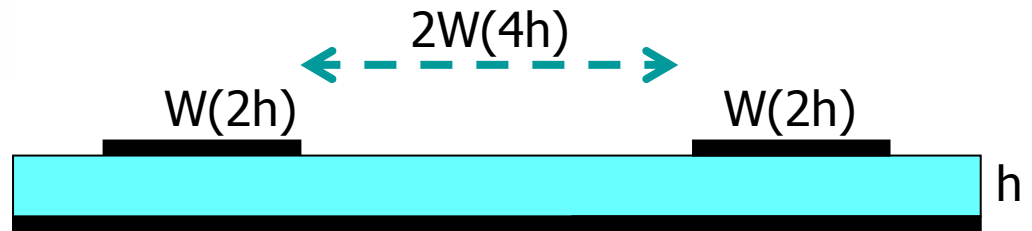


The distance spacing between both traces must have a minimum overlap of  $2W$ .

Ground current at distance  $D$  is approximately proportional to

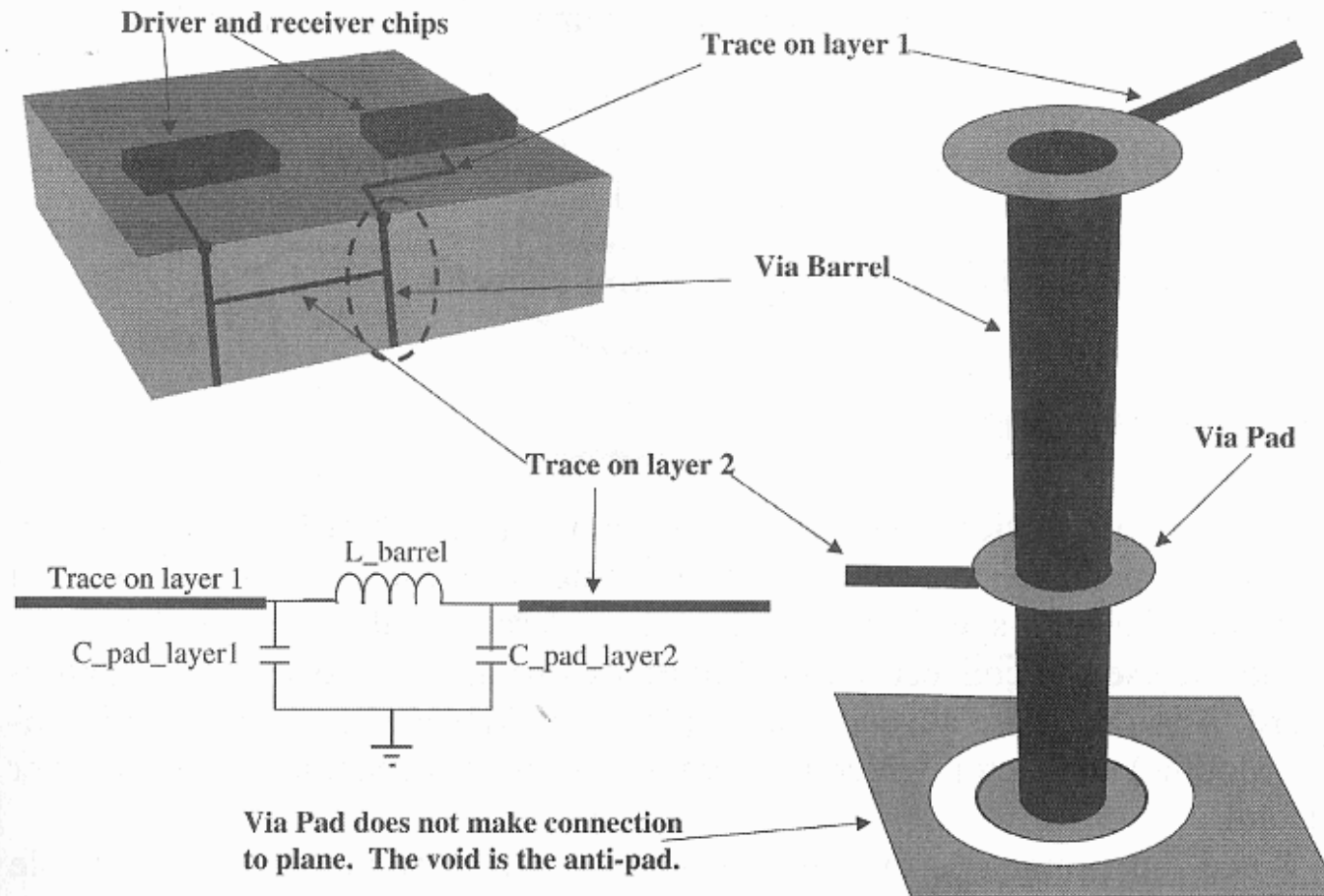


FR-4: microstrip  $W:H=2:1$



**Reference : Printed Circuit Board Design Techniques for EMC Compliance , Montrose**

# *Circuit of a Through Hole Via*



- The lumped pi-model valid if the delay of the via is smaller than 1/10 of the edge rate.

# ***Approximate Effects of the Via***

- Capacitance - lower signal edge rate.

$$C_{via} \cong \frac{2\pi\epsilon \cdot D_1 T}{D_2 - D_1};$$

$D_1$  : dia. of via pad

$D_2$  : dia. of antipad

$T$  : thickness of PCB

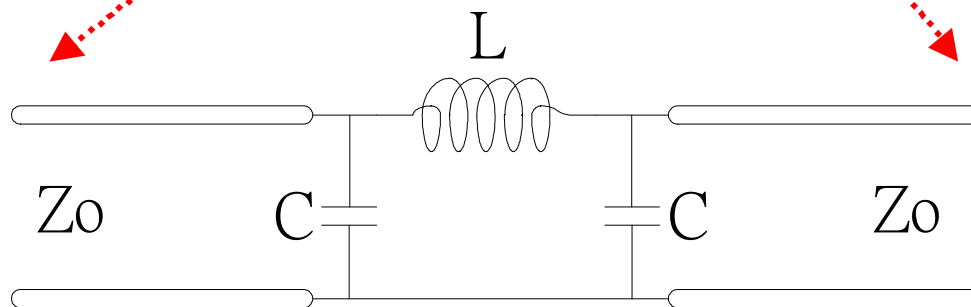
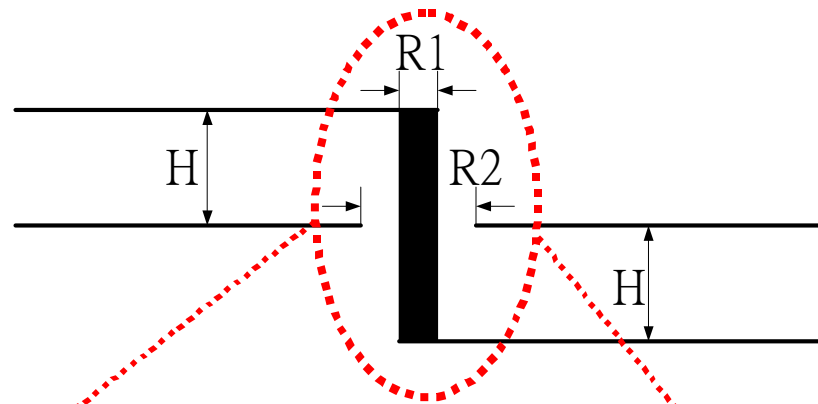
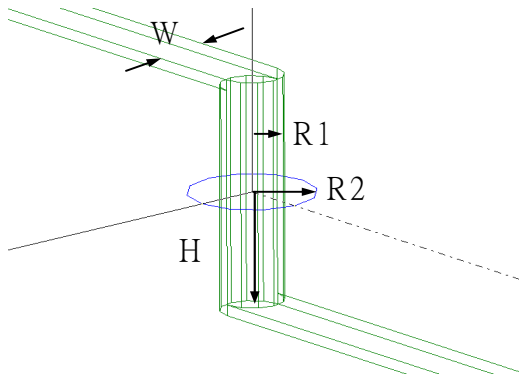
- Inductance –
  - degrade the signal integrity
  - decrease the effect of deCap.

$$L_{via} \cong \frac{\mu_0 h}{2\pi} \left[ \ln \left( \frac{4h}{d} \right) + 1 \right];$$

$h$  : via height

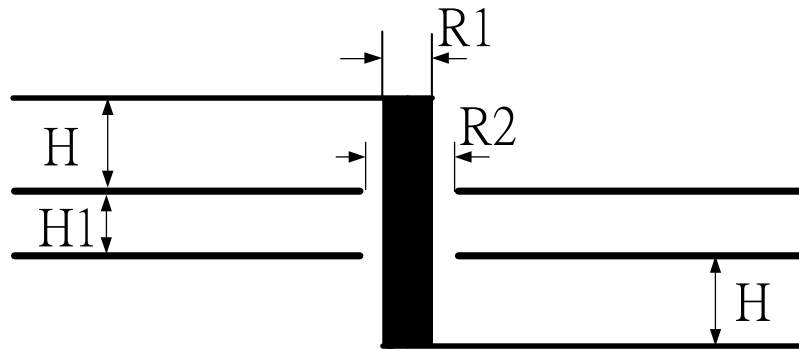
$d$  : barrel dia.

# *The Three-layer Via Structure :*



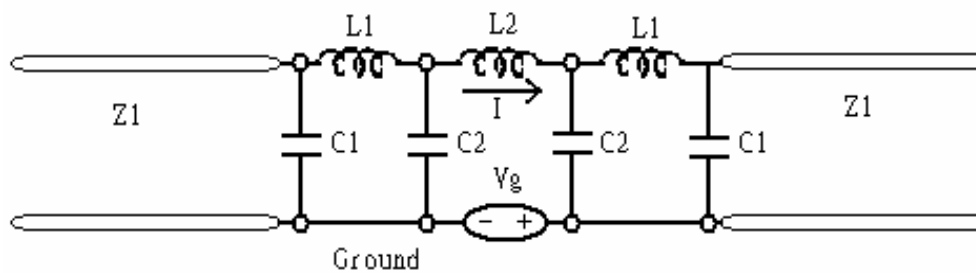
# 4-layer Via Structure

將傳輸線與連通柱用等效電路取代，利用FDTD計算Radial Mode



優點：

計算時間比  
3D FDTD少了  
許多。

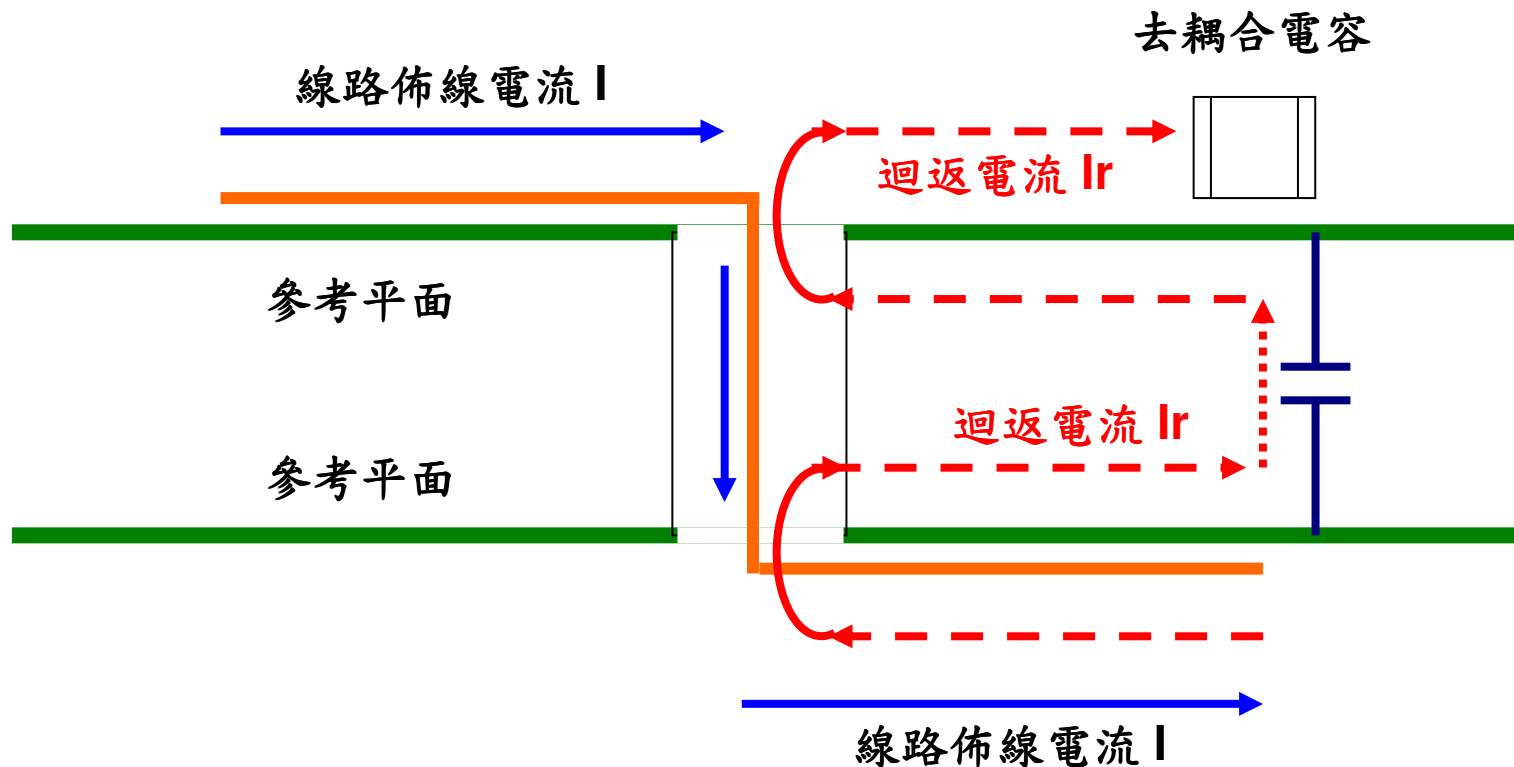


Ref : [4] S. M. Lin, R. B. Wu, "Composite Effects of Reflections and Ground Bounce for Signal Vias in Multi-Layer Environment", *APMC 2001*.

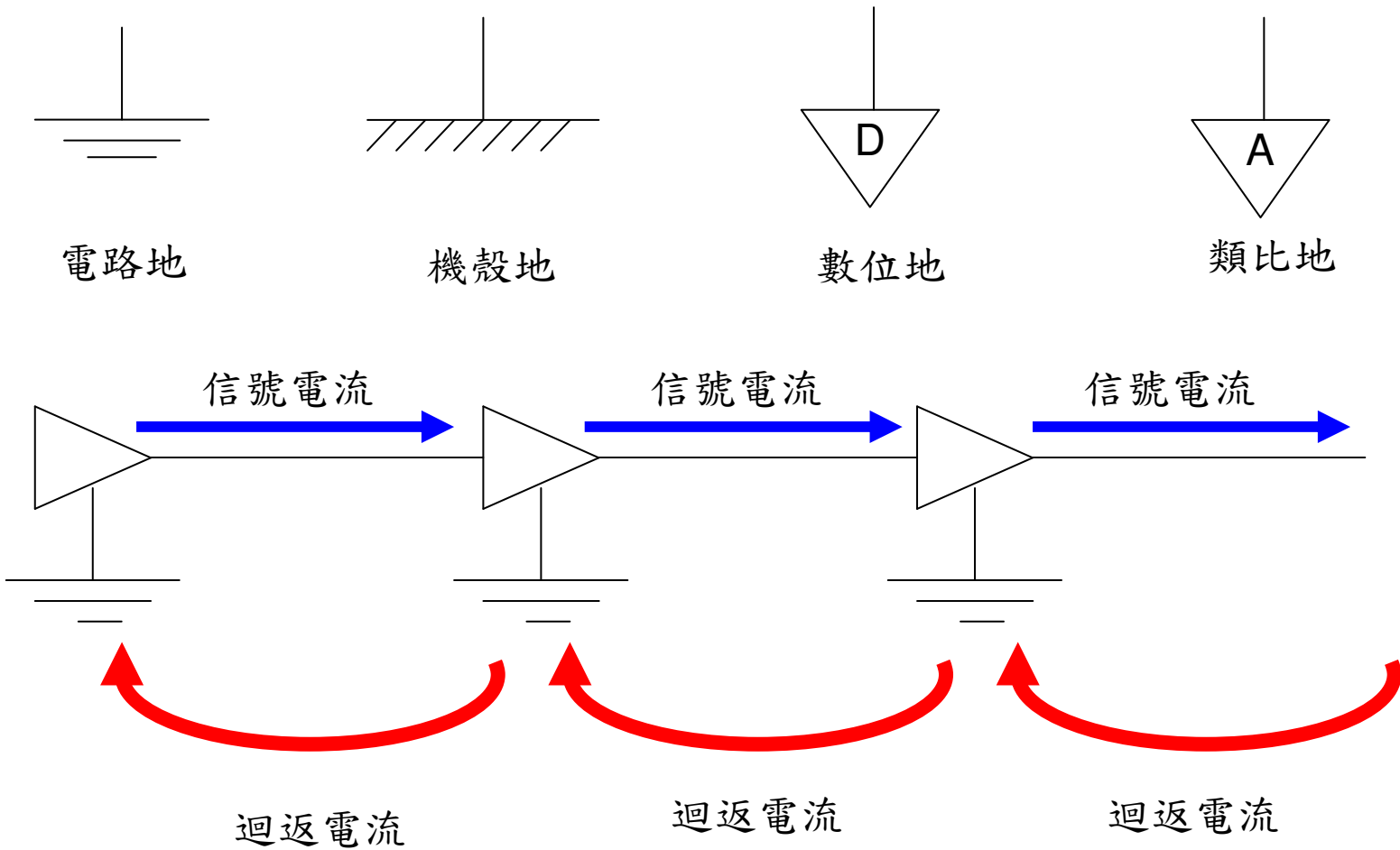


# Return Current Path

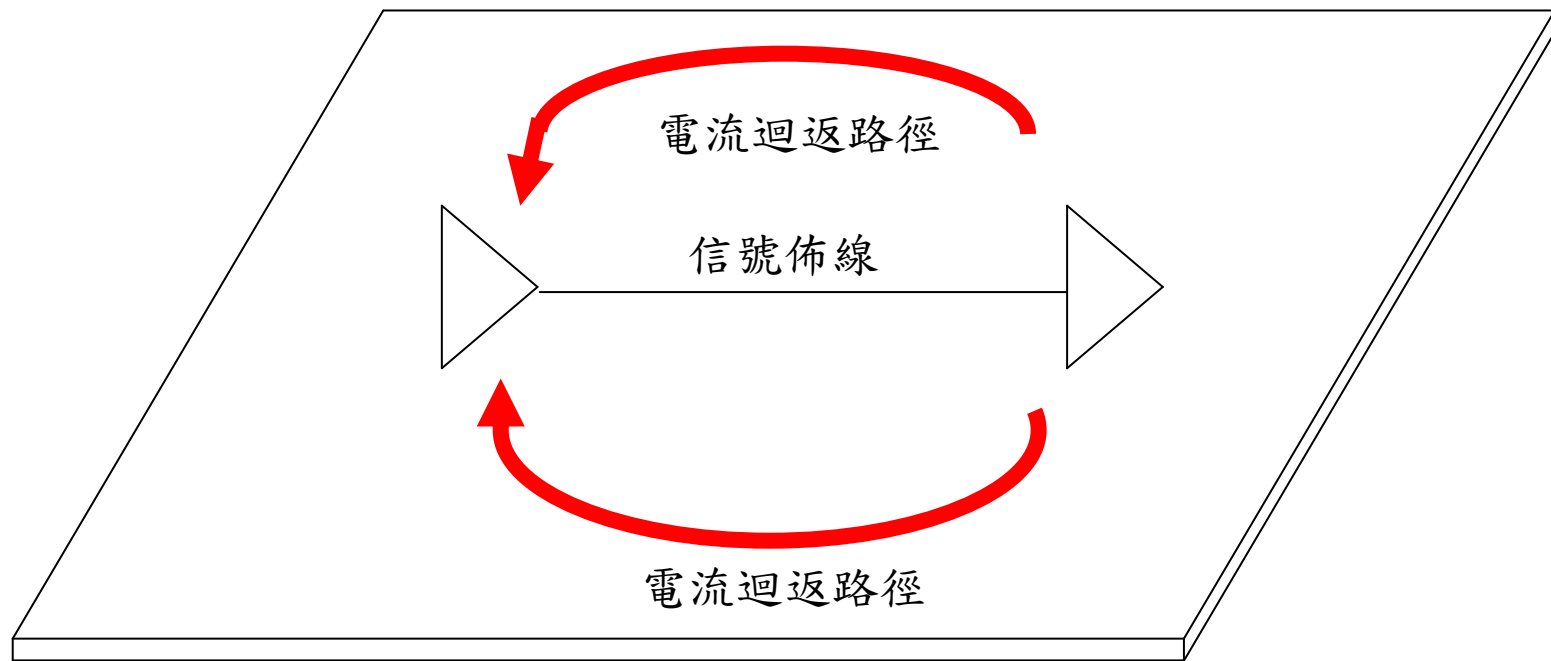
因為集膚效應之故，電流無法穿透參考平面，所以迴返電流 $I_r$ 只能沿著參考平面下層流到貫穿孔的開口處，流到下層平面之上表面至電容處，經過電容，到上層平面之內層表面，流到貫穿孔的開口處，經過貫穿孔的開口表面，最後到達信號佈線下方的參考平面上層



# Return Current Path

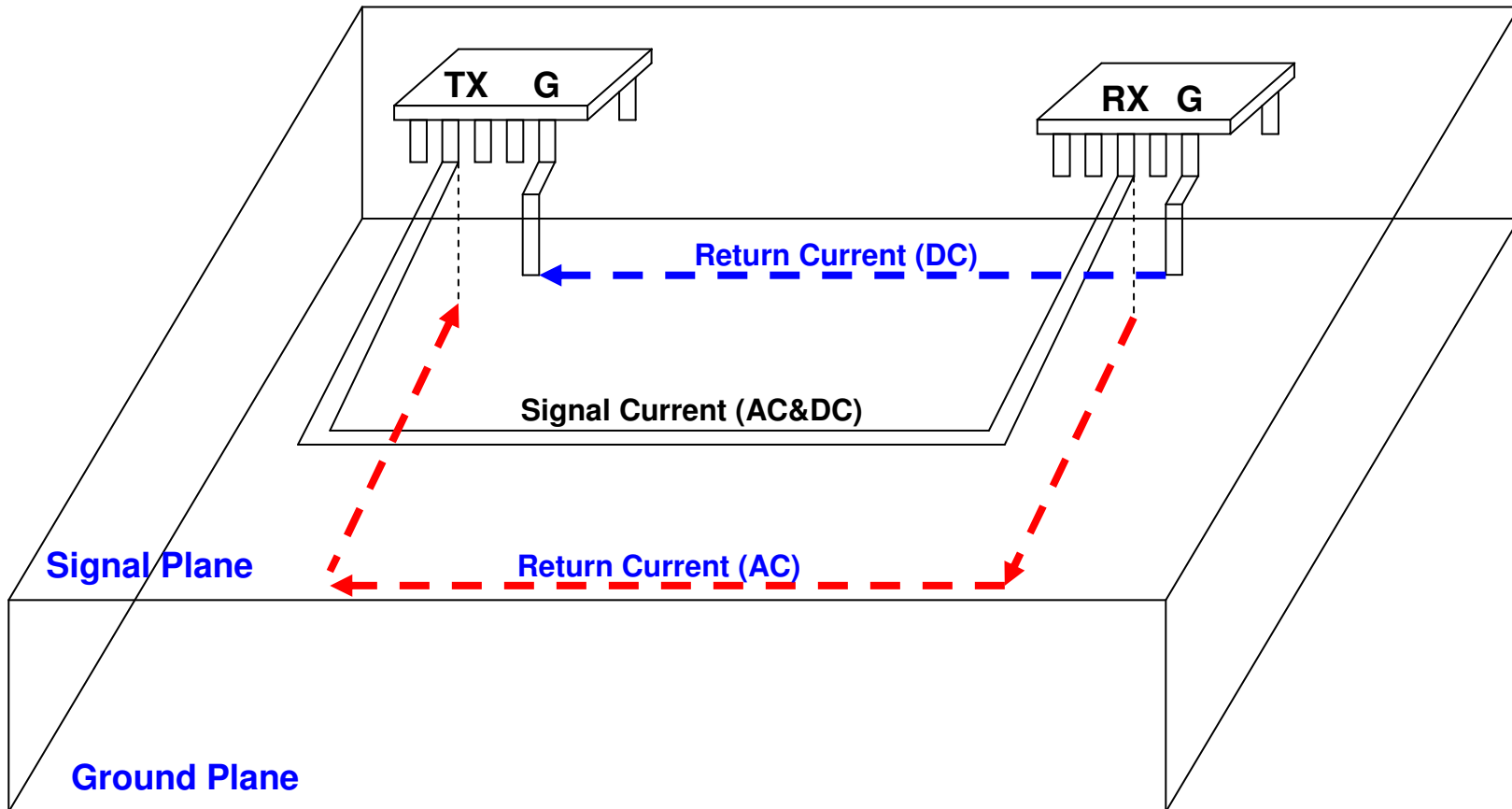


# Return Current Path

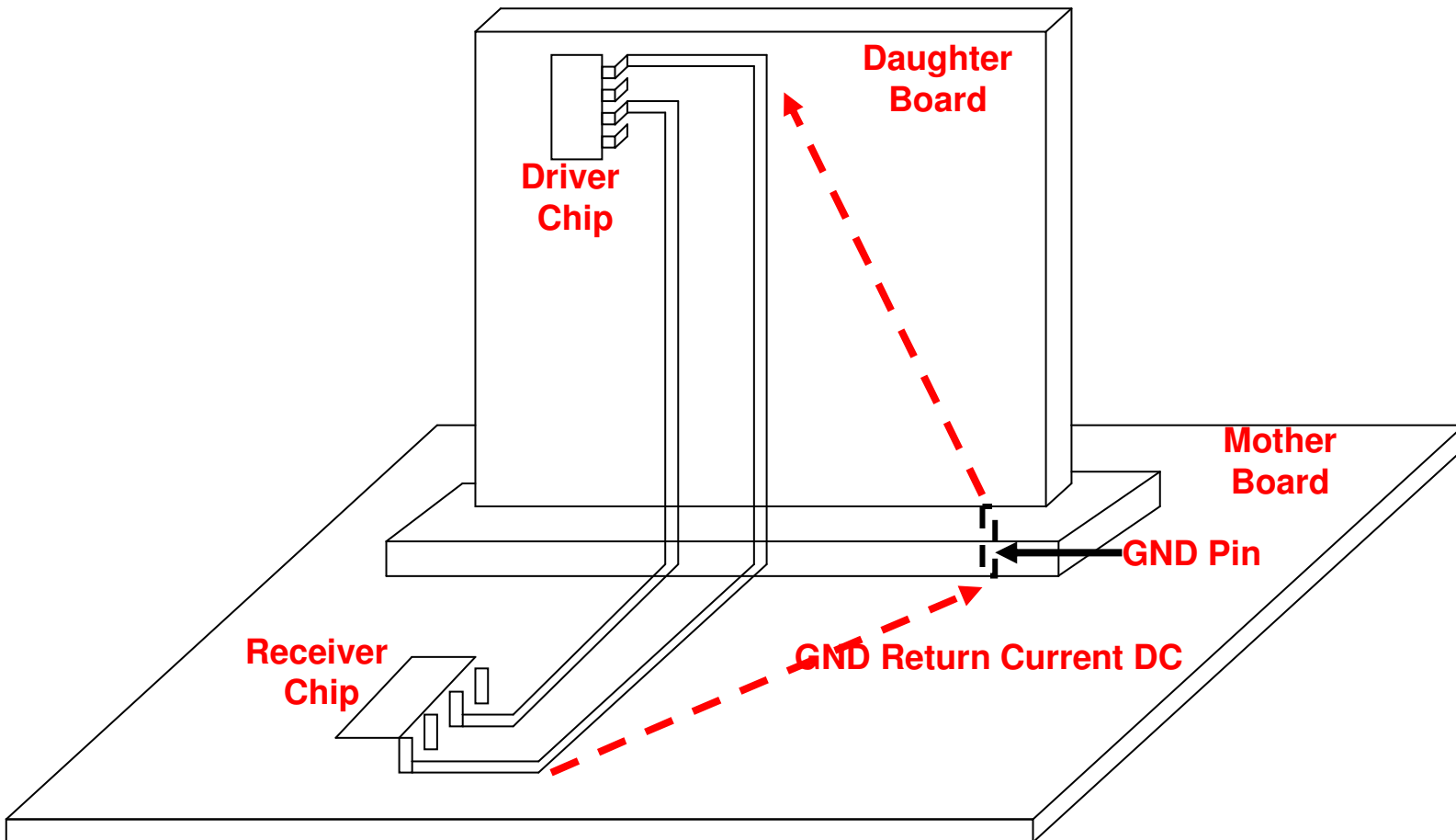


電路板上之接地平面

# Return Current Path

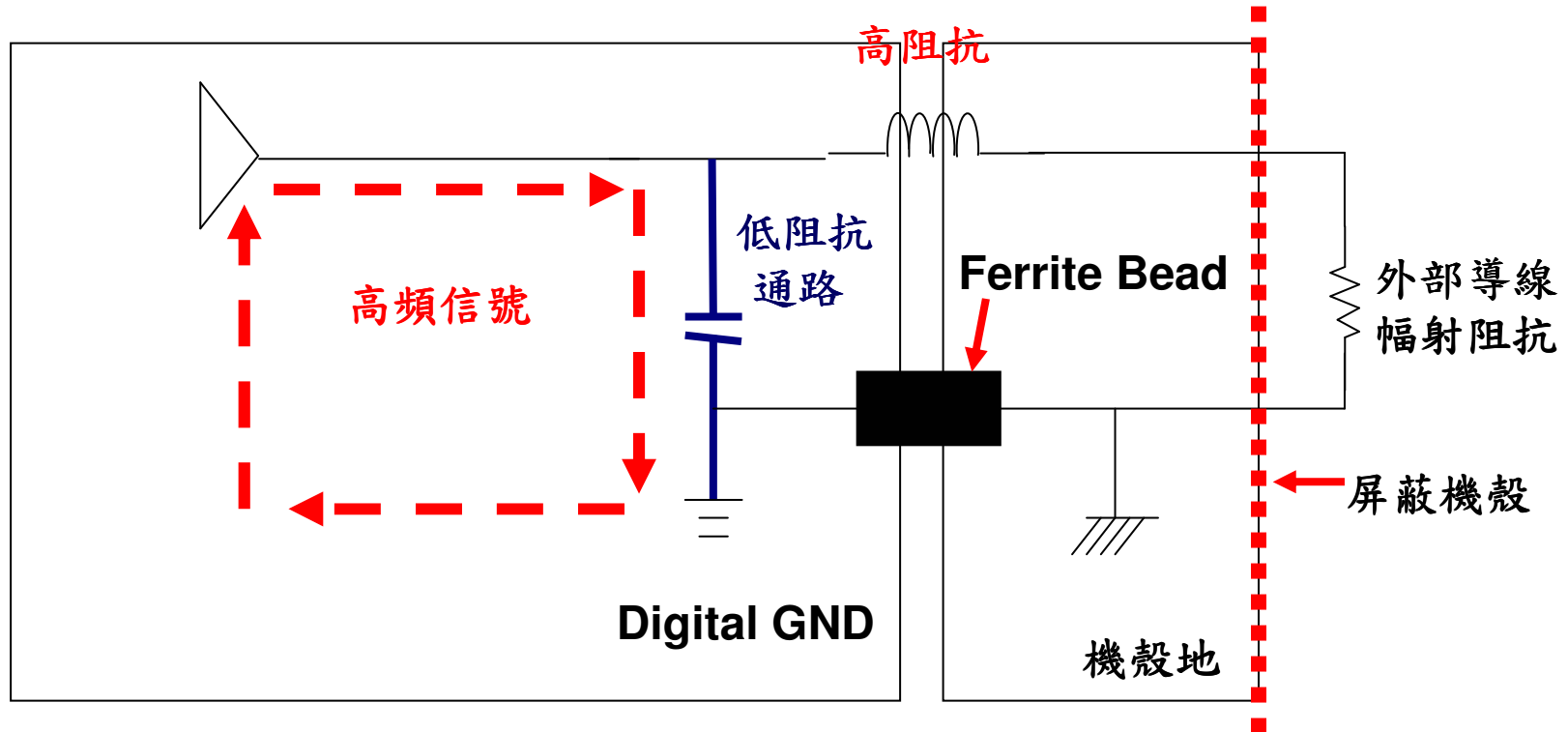


# Return Current Path



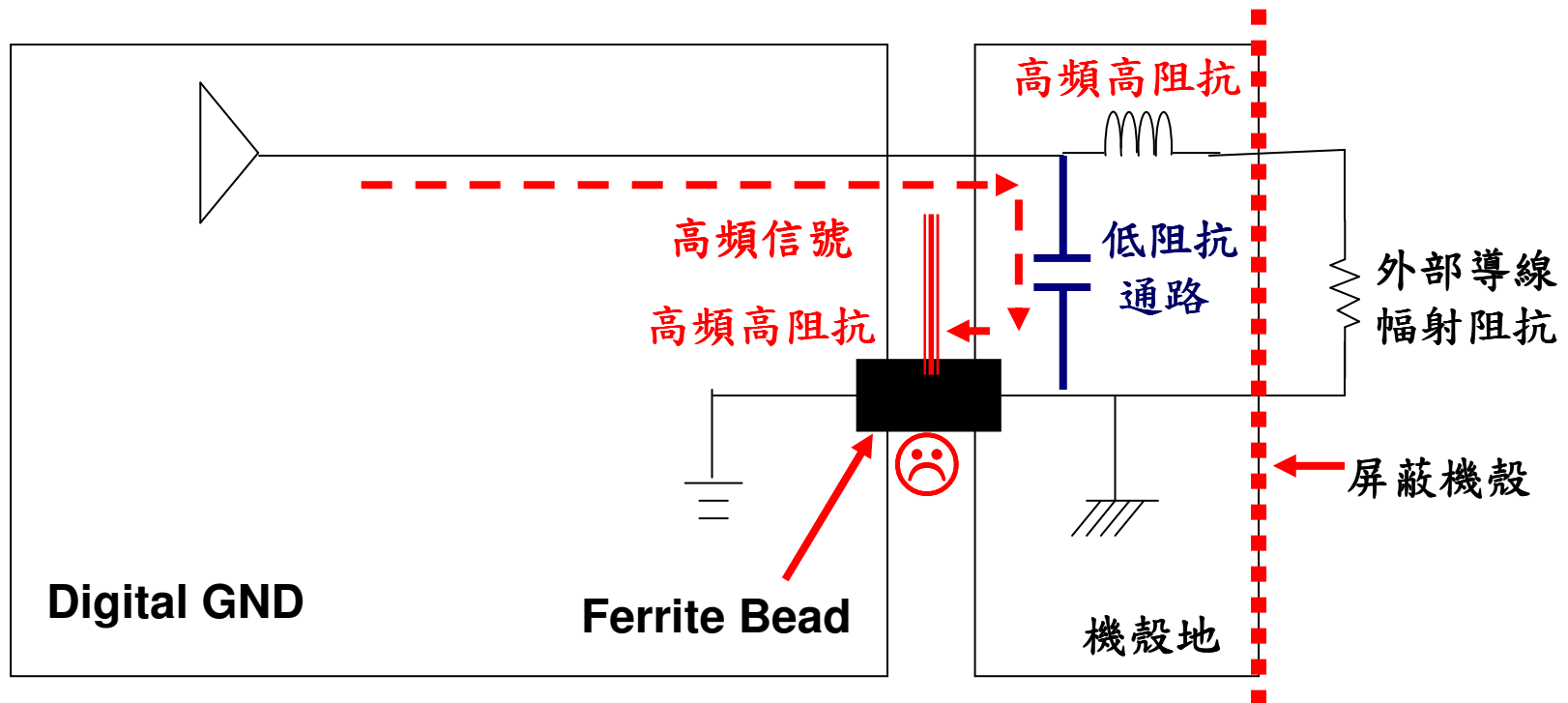
# PCB Layout

I/O線上的高頻信號可以經由一低阻抗路徑回到源頭，下圖的電容器與電感器搭配的組態最適用於用來防止信號跑到機殼之外



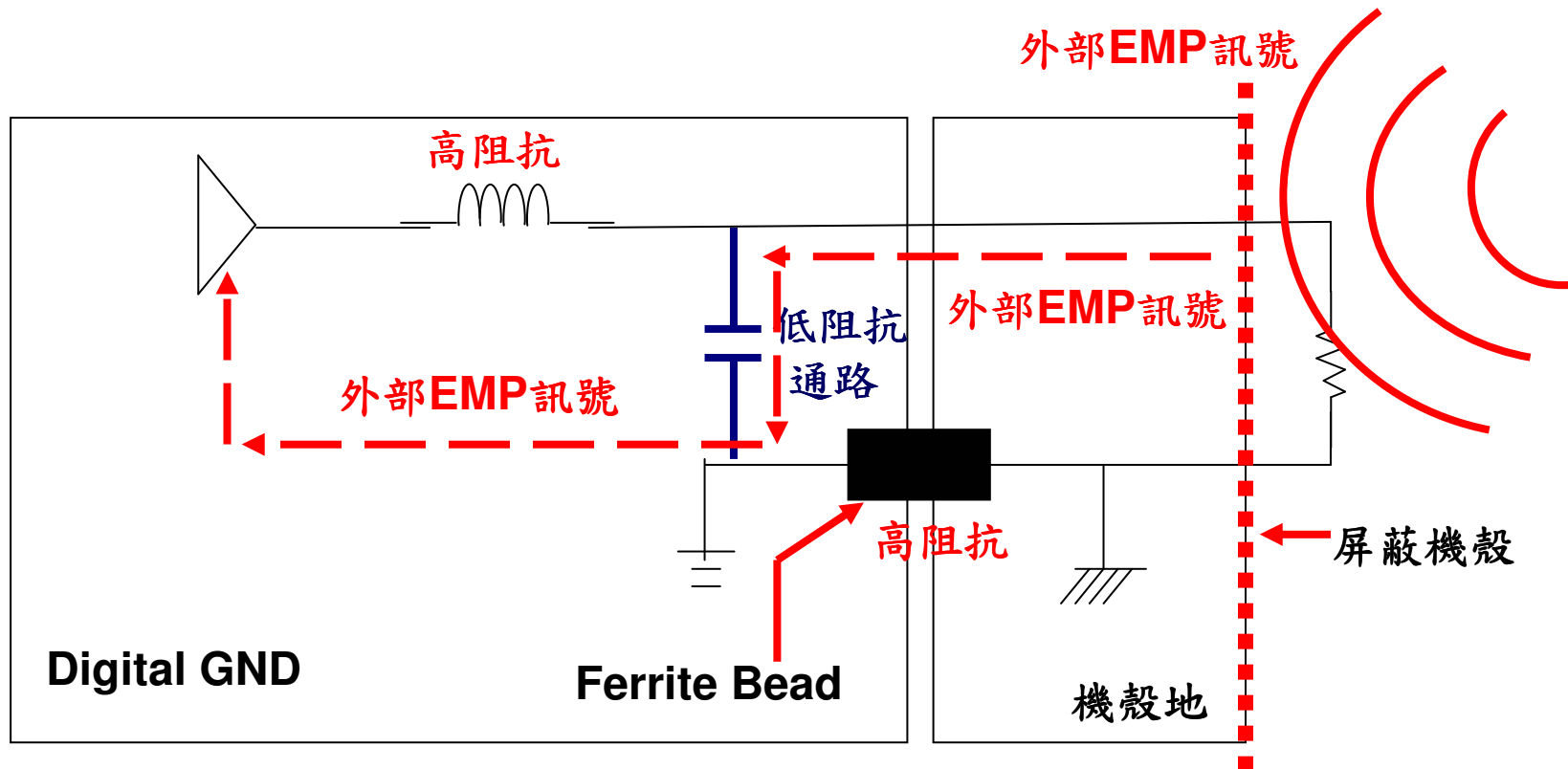
# PCB Layout

I/O線上的高頻信號會經過圖中的ferrite bead，因為ferrite bead對高頻信號具有高阻抗，這不會是一個高頻信號返回雜訊源頭的低阻抗路徑因此不會是一個理想的濾波組態，這種連接方式要避免



# PCB Layout

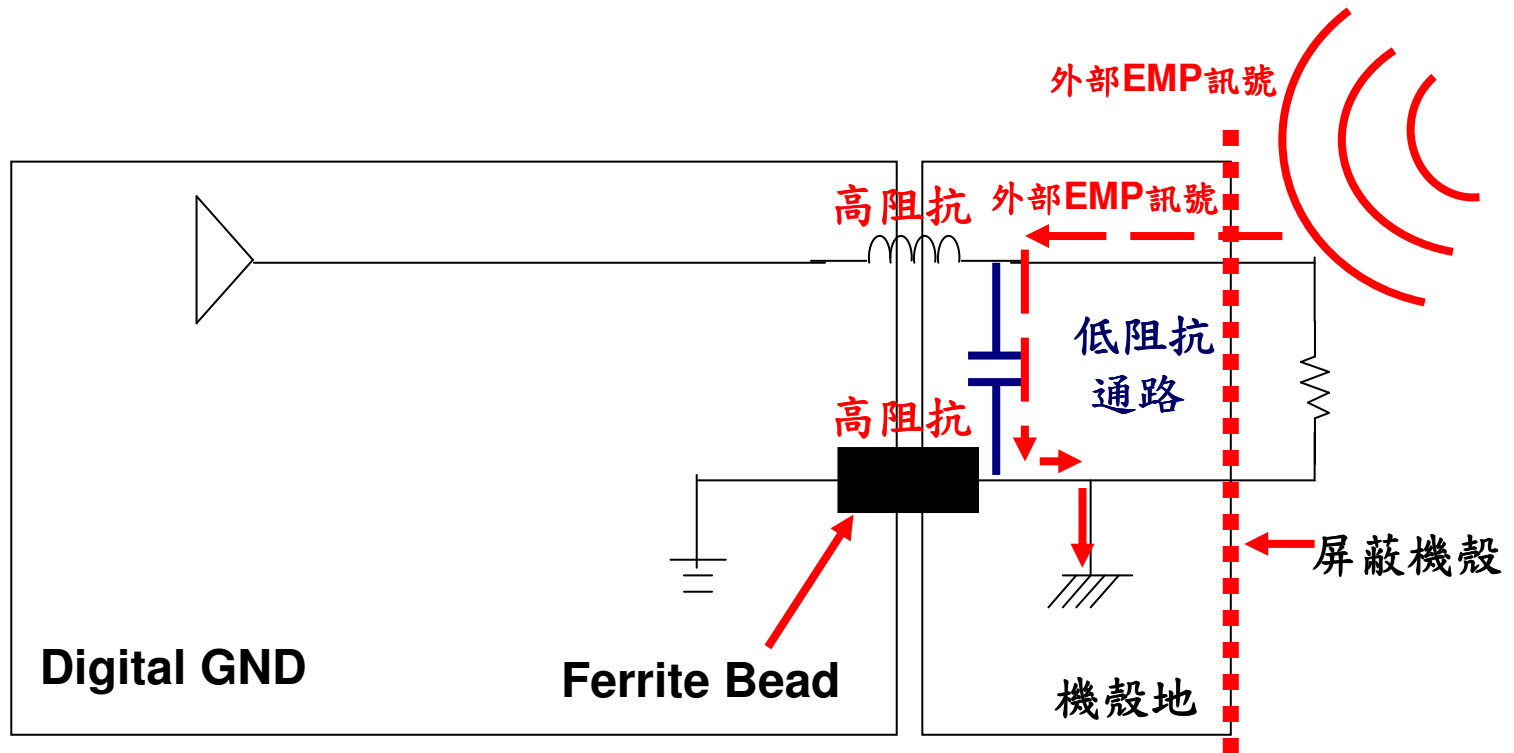
這種濾波組態會使機殼外部的信號(如ESD脈衝、RF耐受信號、**EMP** 電磁脈衝等信號)經由電容器之低阻抗到達數位地，同時還會讓外部的雜訊由機殼經電容器耦合到資料信號線，造成資料傳輸錯誤，這種連接方式要避免





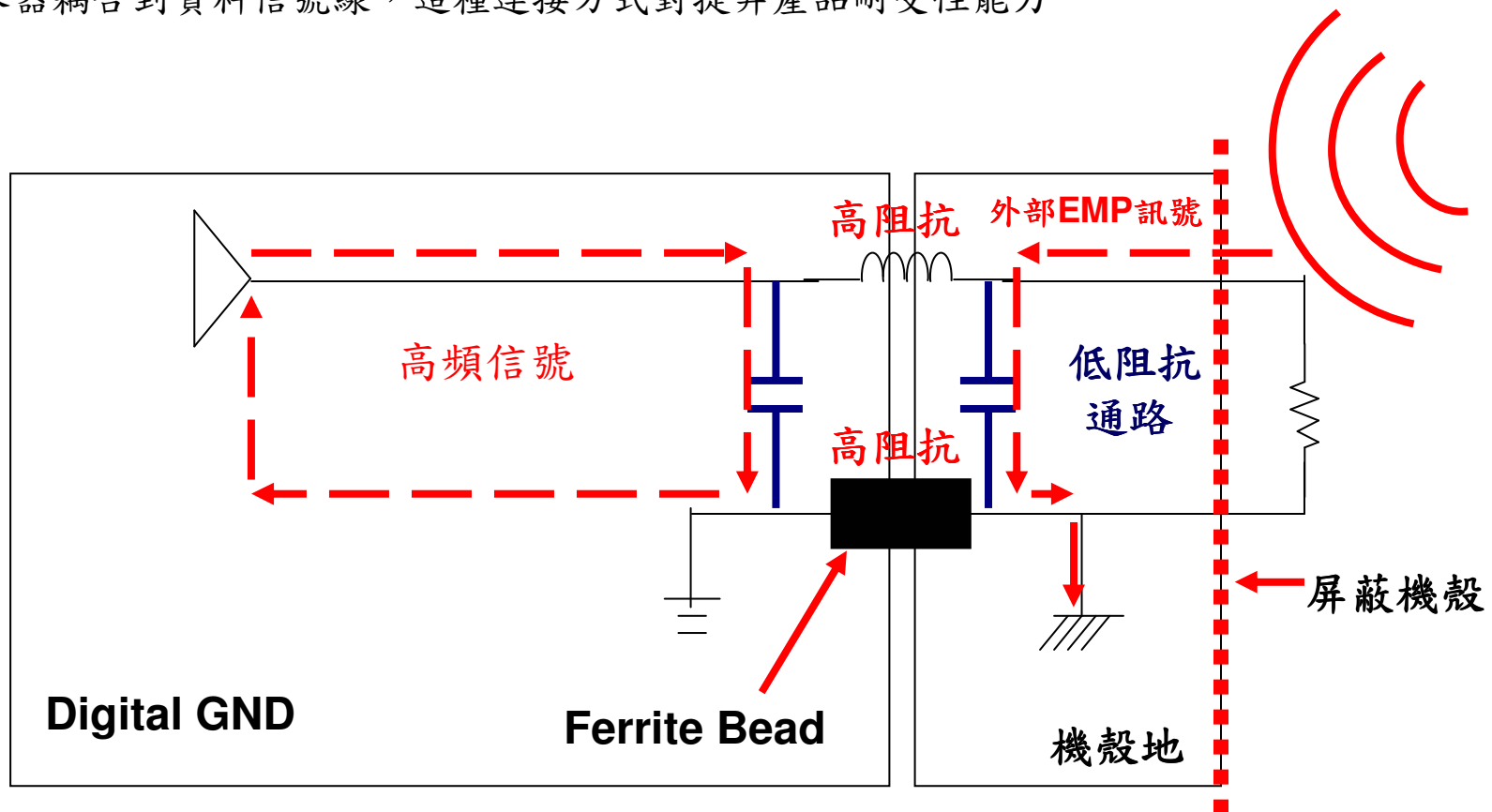
# PCB Layout

這種濾波組態會使機殼外部的信號(如ESD脈衝、RF耐受信號、**EMP** 電磁脈衝等信號)經由電容器之低阻抗到達機殼地，有效阻隔外部的雜訊由機殼經電容器耦合到資料信號線，這種連接方式對提昇產品耐受性非常有利，但對於幅射干擾並沒有有效



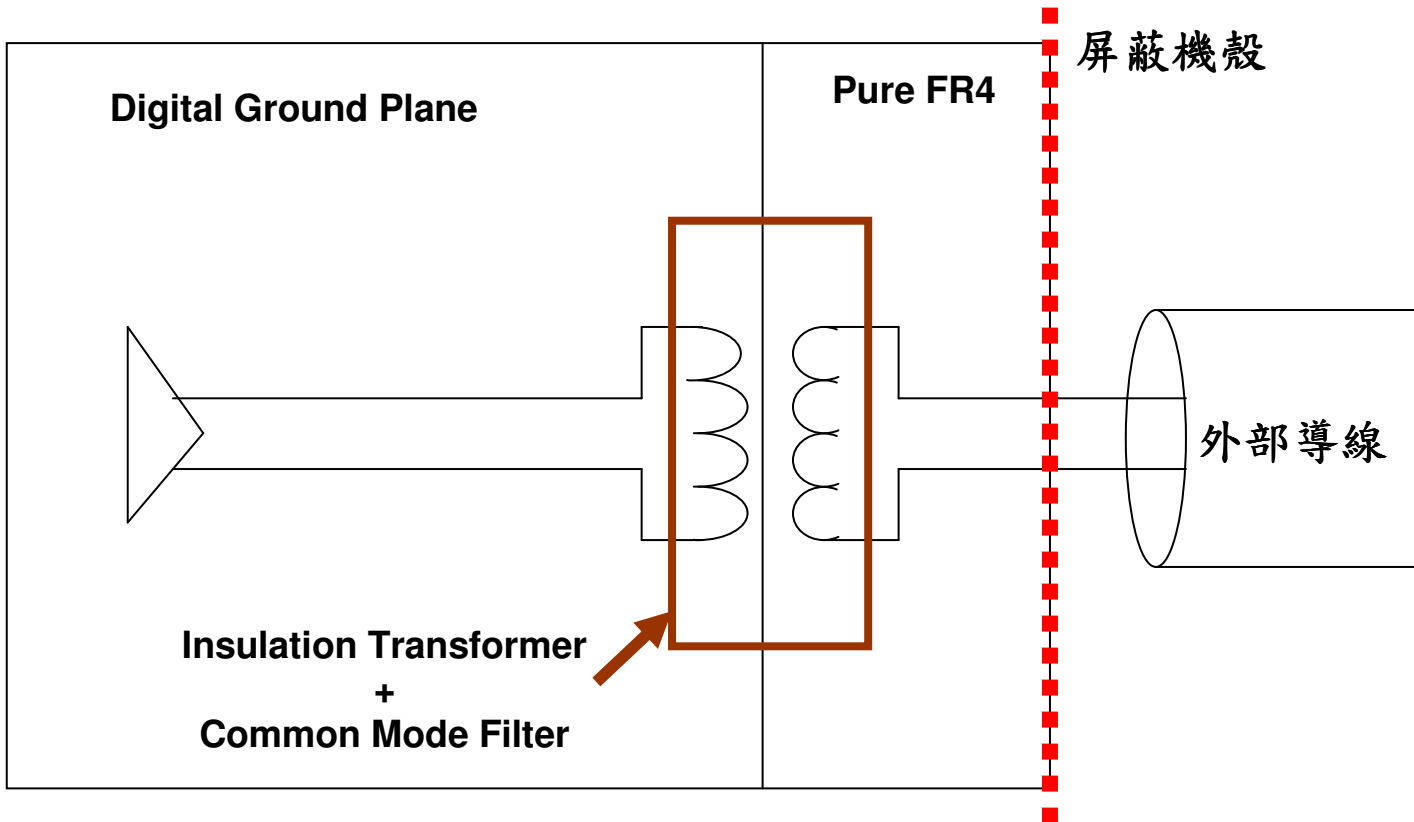
# PCB Layout

I/O線上的高頻信號可以經由一低阻抗路徑回到源頭，下圖的電容器與電感器搭配的組態最適於用來防止信號跑到機殼之外，同時使機殼外部的信號(如ESD脈衝、RF耐受信號、EMP電磁脈衝等信號)經由電容器之低阻抗到達機殼地，有效阻隔外部的雜訊由機殼經電容器耦合到資料信號線，這種連接方式對提昇產品耐受性能力



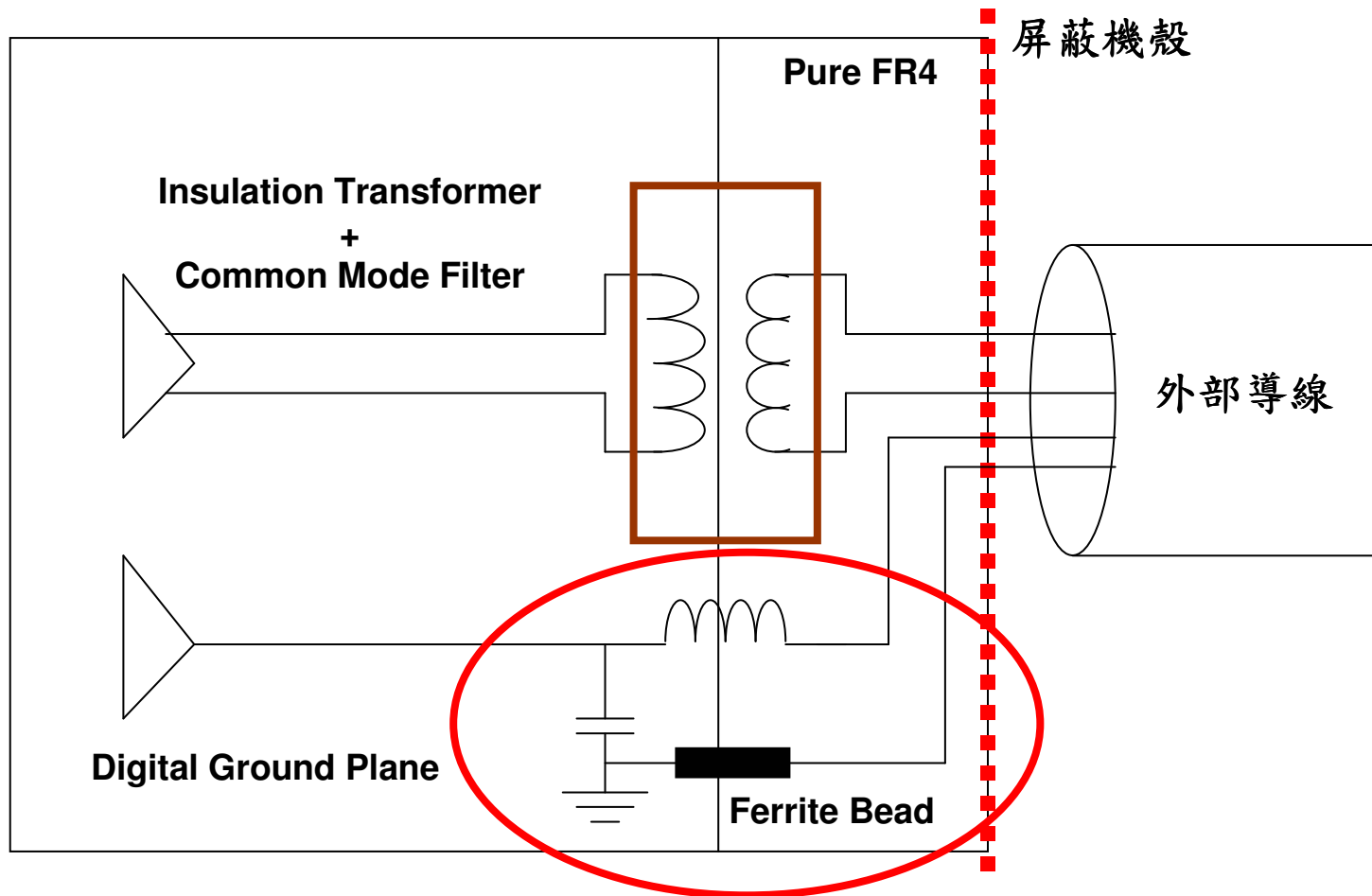
# PCB Layout

真正的差模信號並不使用接地參考面，所以一旦此差模信號走出共模濾波器之後，就不須要在PCB佈線下方鋪設接地面  
如果有接地面的存在，則會將接地平面上的RF雜訊電流耦合到差模信號佈線上因而跳過了共模濾波器，基於同樣理由在此區域內的電源平面也要移除



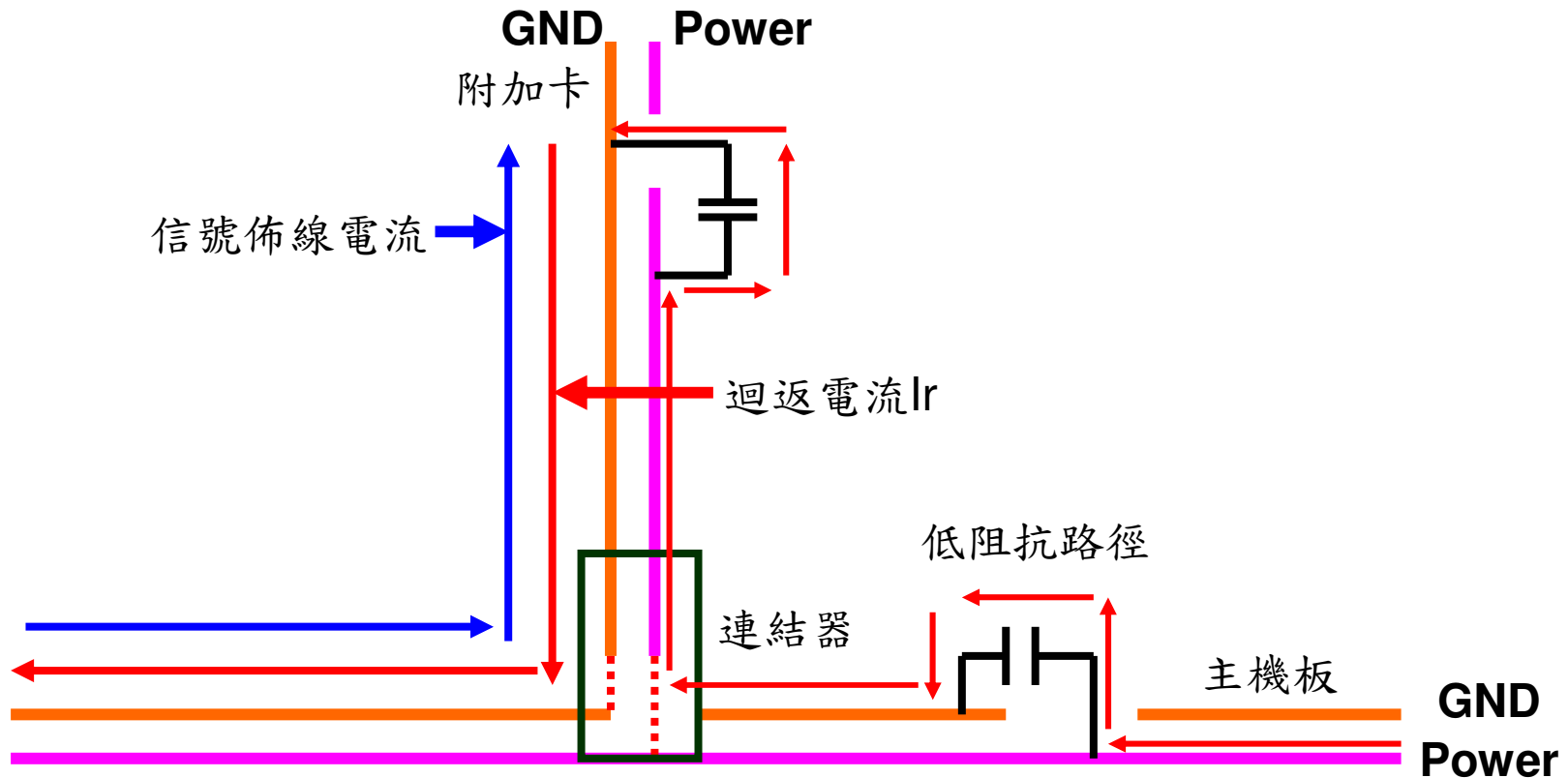
# PCB Layout

如果I/O同時具有差模及單端信號線，則非差模信號線應該要以前述的方法處理



# PCB Layout

當設計中有板對板的連接時，顯示信號出現在兩塊不同的板子上，此時將迴返電流利用低阻抗路徑的去耦合電容，將迴返電流分配到相同的參考平面，此時回返電流與信號路徑緊密耦合，因而大幅降低電流幅射

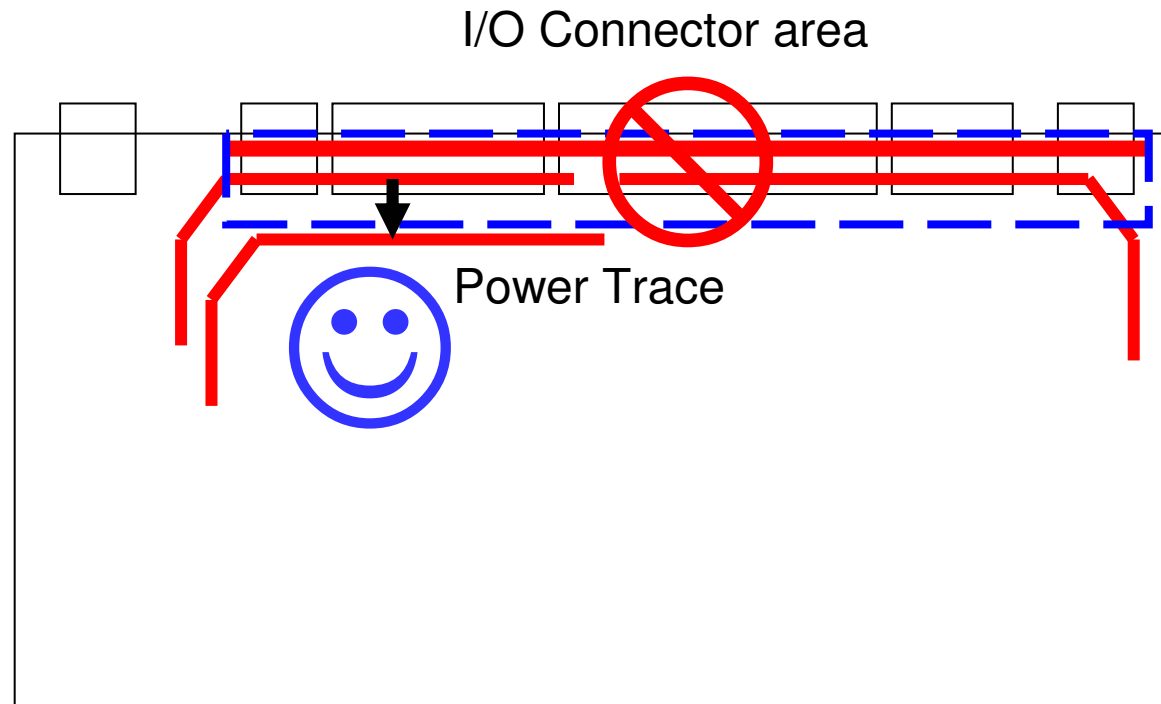


# PCB Layout

Power Trace do not locate under I/O connector area

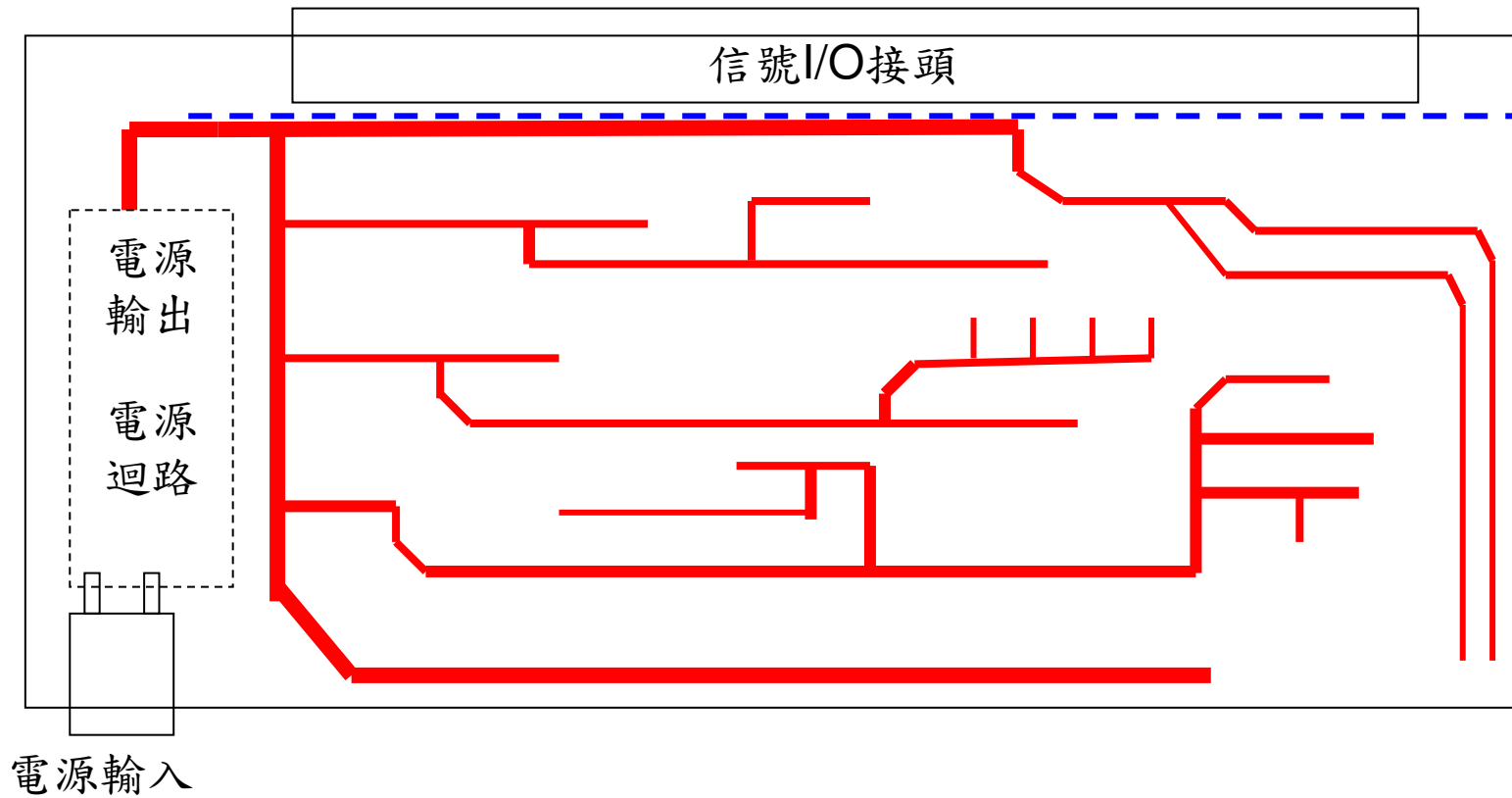
Power Trace should locate out side of blue area be good for low EMI effect

Power trace direct under I/O connector easy to bring out EMI noise



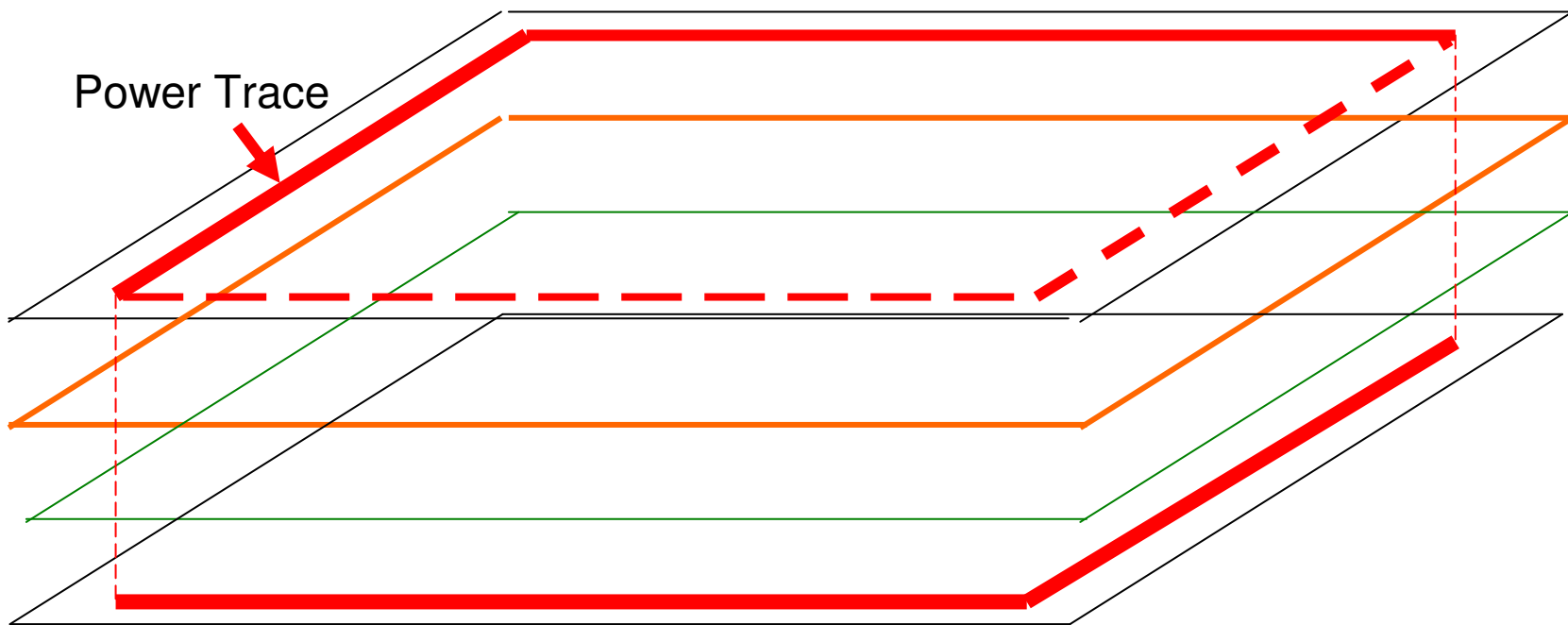
# PCB Layout

電源線分佈儘量以樹枝狀佈線，避免形成環狀迴路



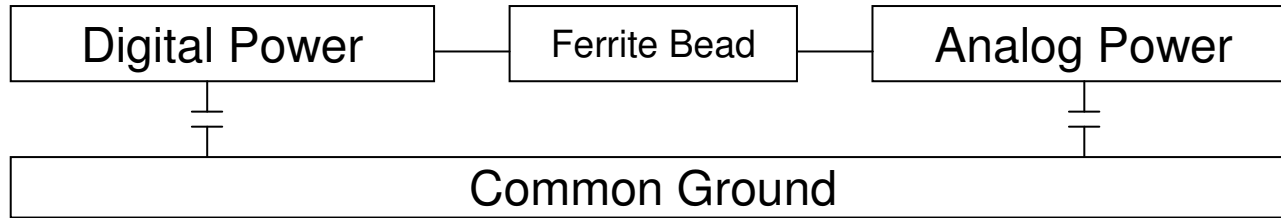
# PCB Layout

Power trace do not make a cycle, even different layer or same layer  
When power trace be a cycle, it will becomes a big current loop  
Very bad for EMI radiated

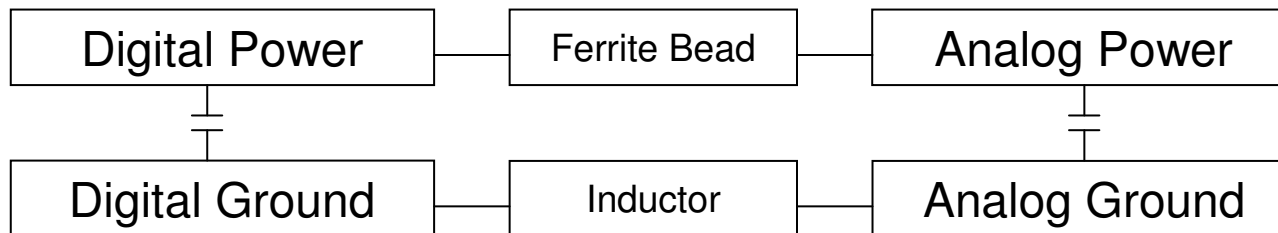




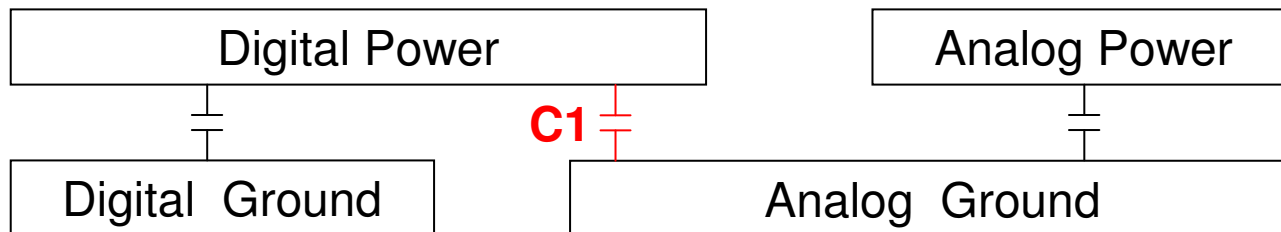
# PCB Layout



當共用接地平面時過濾電源平面的方法



當需要隔離電源和接地平面時過濾電源平面的方法



C1會使高速的數位交換的雜音竄入類比接地平面這是不好的佈線設計

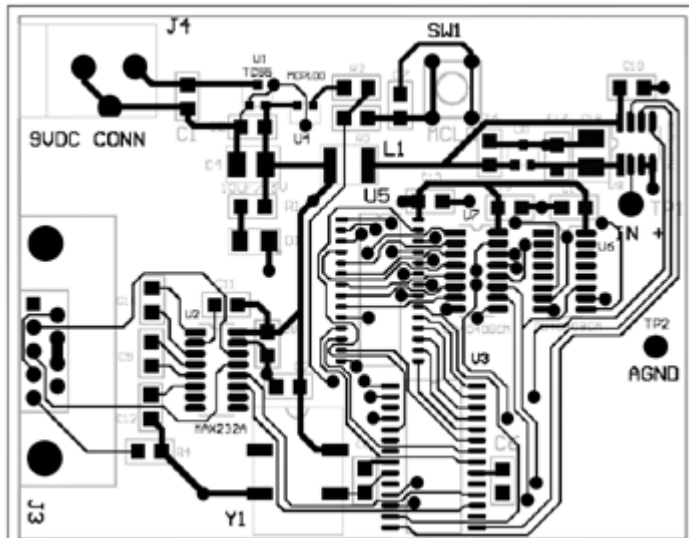
# PCB Layout

## 2 Layer EMI layout skill

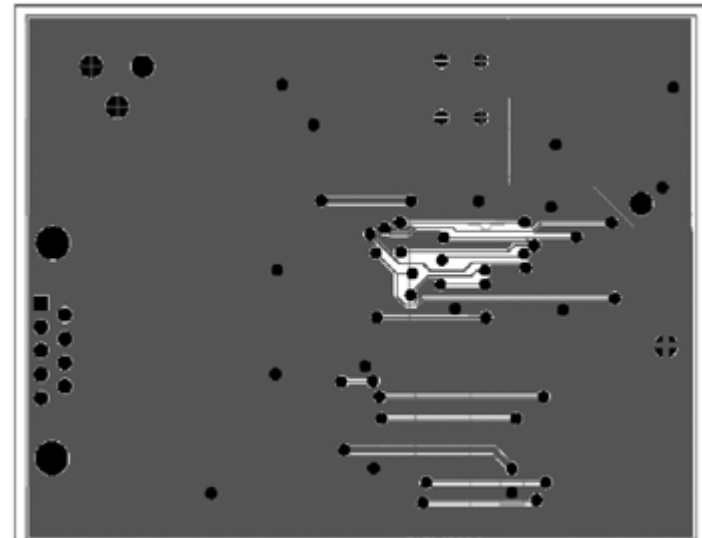
- 電路的人工佈線請見(圖一)與(圖二)。使用人工佈線，要遵守下列的設計指南以確保良好的效果：
  - 將接地設計成一個接地面作為電流返回路徑。
  - 將類比接地面與數位接地面隔開。
  - 如果無法避免信號走線與接地放在同一層，將信號線與接地線設計成相互垂直以降低信號線對接地電流回路產生的干擾。
  - 將類比電路放在電路板的旁邊，數位電路系統放在最靠近電源處。可降低數位切換 $di/dt$ 對類比電路造成的影響。

但須注意的是，這兩片雙層板在電路板的下層都有一個接地面。如此設計是為了讓工程師在做故障排除時可以迅速地看到佈線，此種方式常出現在裝置製造商的示範與評估板上。但更典型的做法是在電路板的上層鋪上接地面，以降低電磁干擾（EMI）。

• (圖一)



(圖二)



# PCB Layout

- 處理電流返回路徑時，應該要考慮的基本問題是：

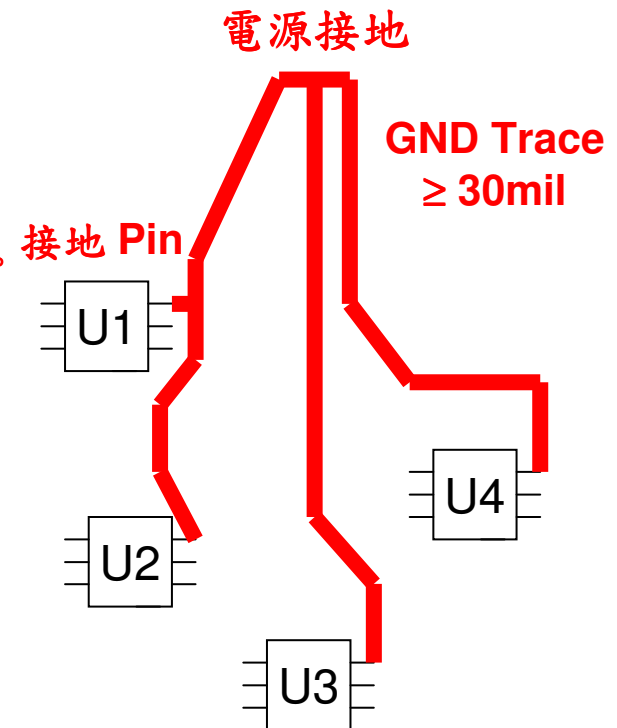
(1)假使只使用拉線當地線，儘可能加寬拉線；而如果考慮只用拉線作為电路板的接地線，拉線應該要儘可能的寬。拇指大是很好的標準，但也必須知道接地線的最小寬度是指拉線從該點到末端的有效銅箔寬度，在此「末端」的定義是指離電源連接最遠的一點。

(2)避免形成封閉的接地迴路。

(3)如果沒有接地面，可使用星形連接方式。

星形連接的範例如(圖五)所示。

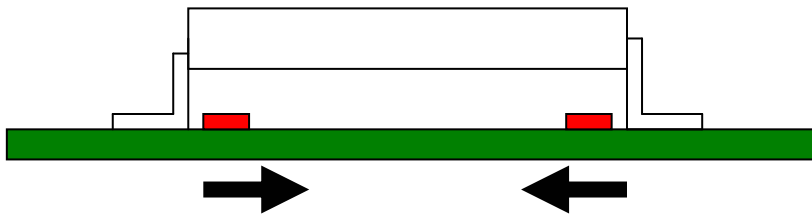
- 以此種方式，每種裝置的接地電流單獨返回到電源端。
- 使用者會發現圖五中並非所有裝置都有自己的返回路徑。
- U1與U2共用返回路徑，
- 允許這樣做的先決條件是須符合
- 下列設計所需注意之要點。



# PCB Layout

IC 底下佈線準則:

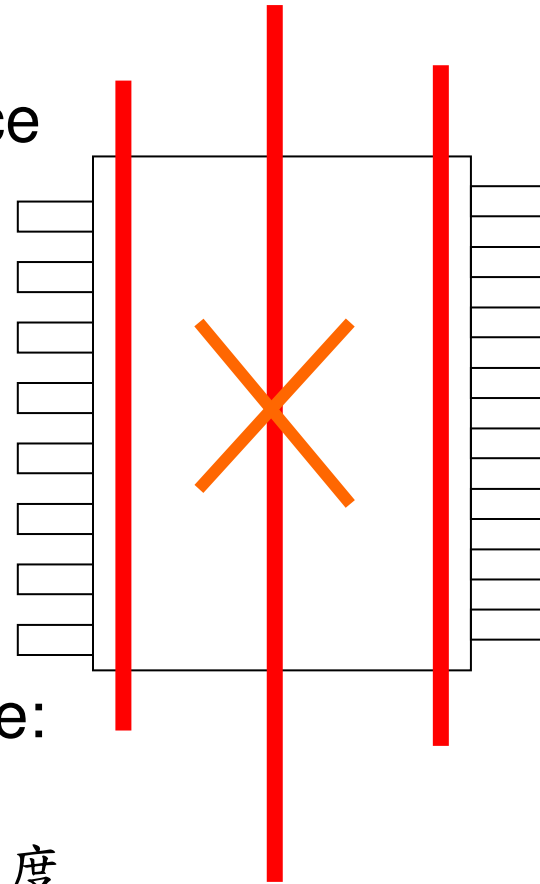
1. 不可以是高速信號線如 Clock trace
2. 儘量避免走 Power trace
3. Low speed data trace are allow



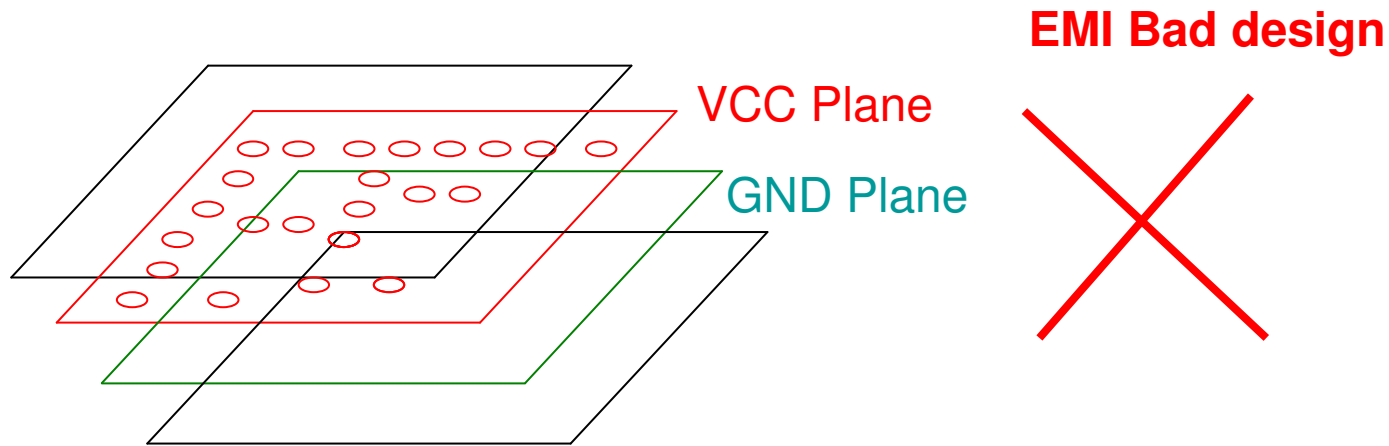
Data trace layout arrangement rule:

1. 從 IC 外緣往內佈
2. 佈線總面積不要超過 1/2 的 IC 寬度
3. 不要在 IC 正中間下方走線

EMI Bad design



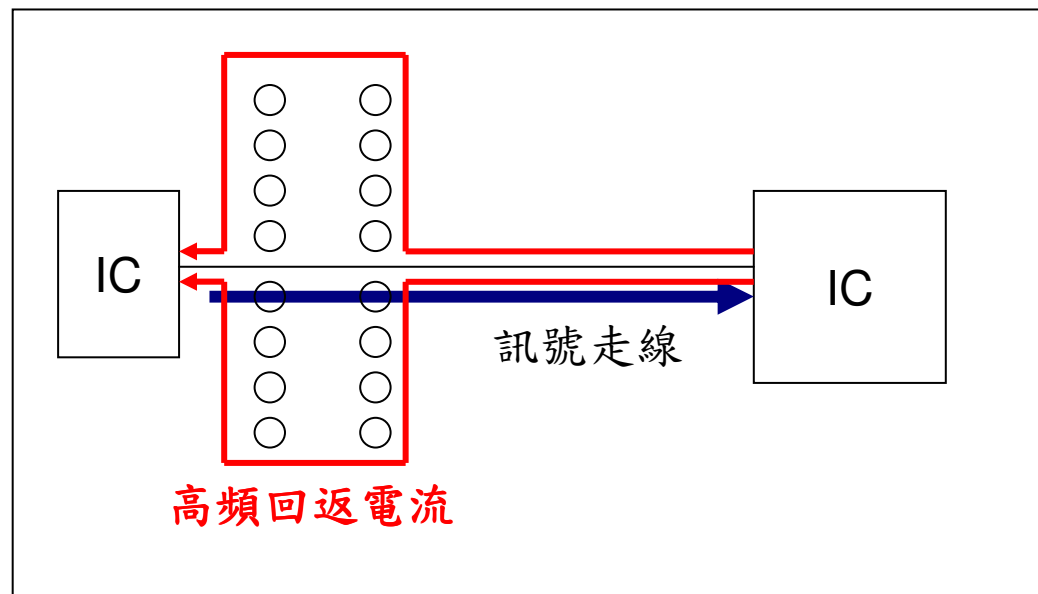
# PCB Layout



在小型化4或多層板產品設計中，  
切忌使用太多的Via hole  
破壞 VCC & GND層的完整性  
造成VCC及GND層無法具備完整的電容效應  
而無法提供一個完整的低電感平面

# PCB Layout

- 在映射平面上的**返回電流是沿著洞孔邊緣流動**，而訊號走線則是以直線路徑跨越不連續的區塊。
- 在**接地平面上的返回電流必須繞過插槽或洞孔**。其結果是，**必須增加走線的長度**，才能傳送返回電流。**增長的走線長度會使返回走線的電感值增加**。因為 $E = L(di/dt)$ ，當返回路徑的電感值增加時，訊號走線與射頻電流返回路徑之間的差模耦合效果就會降低，磁通相抵（flux cancellation）的效果也會減少。

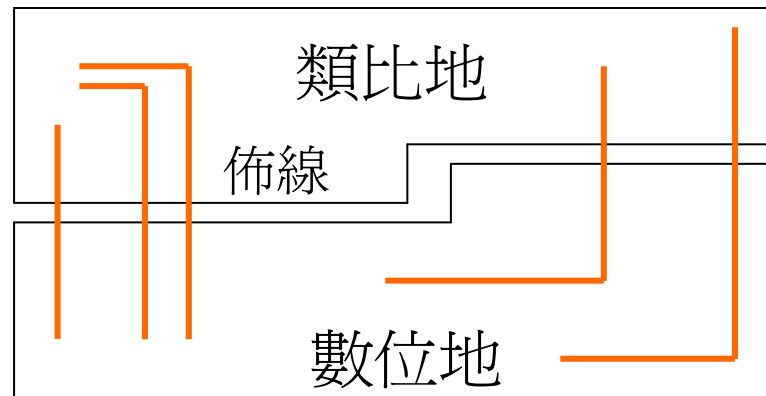


# PCB Layout

了解電流回流到地的路徑和方式是最佳化混合信號電路板設計的關鍵,許多工程師通常僅考慮信號電流從何處流過,而忽略了電流的具體路徑。

就一般混合信號電路板上的地回路設計為例:

在混合信號電路板上的數位地和類比地分割開如圖所示:



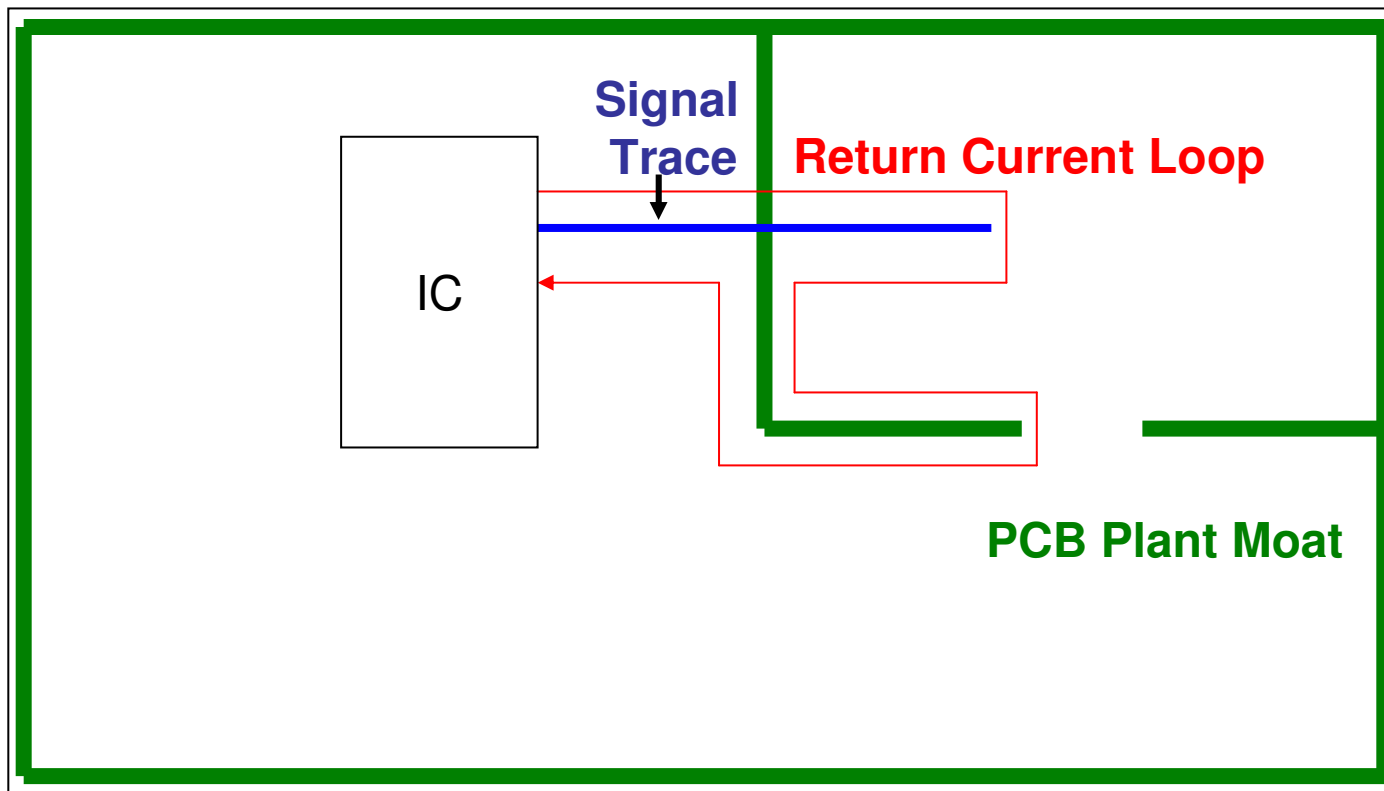
信號線跨越了兩個地的分割間隙佈線,通常被分割的兩個地會在某個位置做單點連接,在這種情況下,地電流往往會形成一個大的環路.流經大環路的高頻電流會產生幅射很高的地電感,如果流經大環路的是低頻類比電流,則該電流很容易受到外部信號干擾。

如果當分割地在電源處連接在一起時,將形成一個非常大的電流環路,此外類比地和數位地藉由一個長導線連接在一起會構成一個偶極天線。



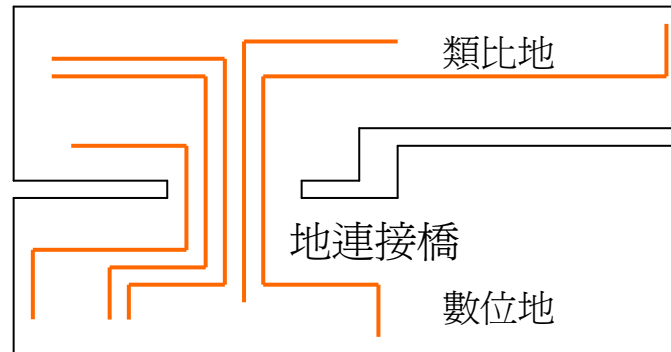
# PCB Layout

如下圖所示，不正確的跨越壕溝會造成大的迴路電流



# PCB Layout

就以上情況而言,如果必須對地層進行分割,而且必須藉由分割之間間隙佈線,那麼可以**先在被分割的地之間進行單點連接,形成兩個地之間的連接橋,然後藉由該連接橋佈線**,如圖所示:



這樣在每一個信號線的下方都能夠提供一個直接的電流回流路徑,而使環路面積變小。

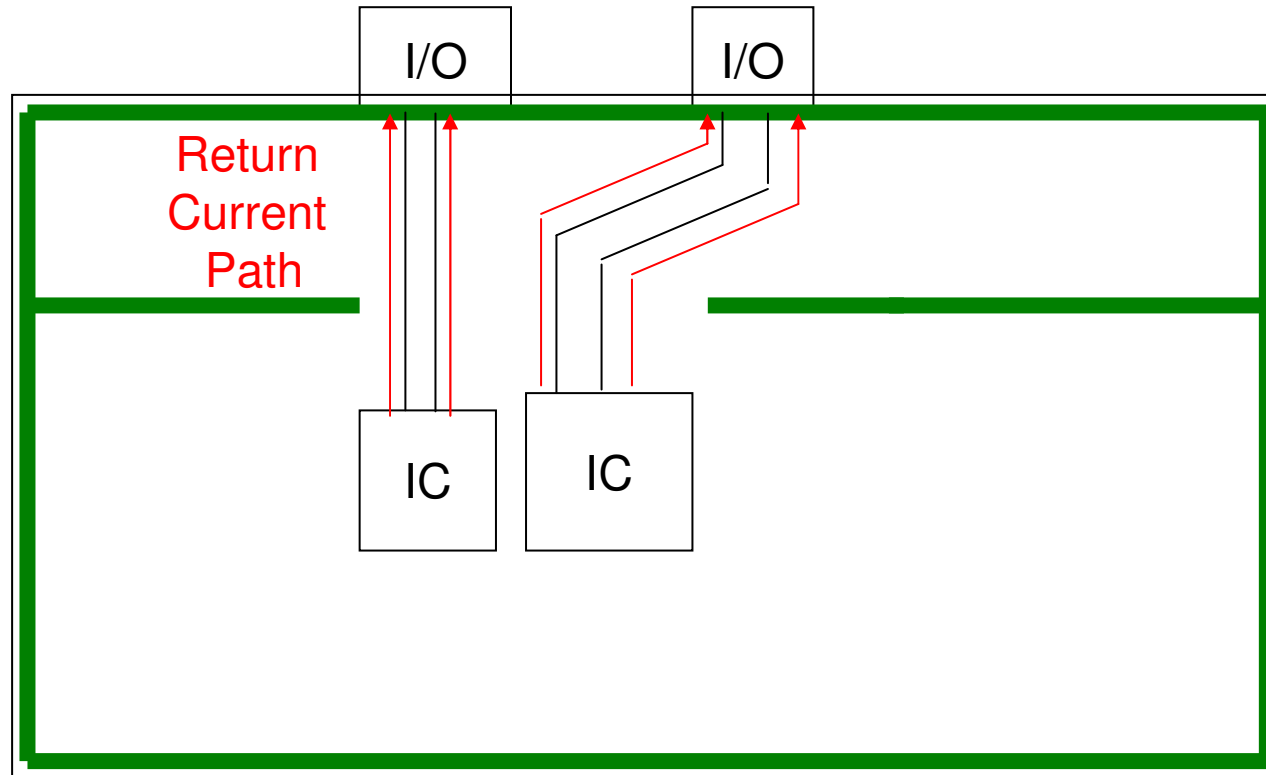
數位信號對類比信號的干擾,了解高頻電流必定選擇阻抗最低(電感最低),直接位於信號下方的路徑,因此返回電流會流過鄰近的電路層,而無論這個臨近層是電源層或是地線層。

在實際工作中一般傾向於使用統一地,而將PCB分區為類比部份及數位部份類比信號在電路板所有層的類比區內佈線,而數位信號在數位電路區內佈線,在這種情況下,數位信號返回電流不會流到類比信號的地。

只有將數位信號佈線在電路板的類比區之上,或將類比信號佈線在電路板的數位區之上時,才會出現數位信號對類比信號的干擾,出現這種問題並不是因為沒有分割地,真正的原因是數位信號的佈線不適當。

# PCB Layout

- 正確的把線走在地橋內，電流迴流沿著信號線下方回去，是最短的電流迴流路徑

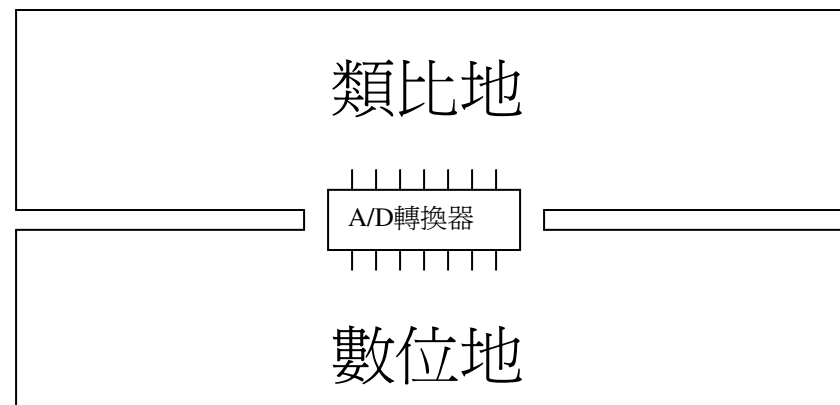


# PCB Layout

連接A/D轉換器的類比地和數位地.

大多數的A/D轉換器晶片內沒有將類比地和數位地連接在一起,必須藉由外部的PIN腳實現類比地和數位地的連接.任何與DGND連接的外部阻抗都會藉由寄生電容將更多的數位Noise耦合到IC內部的類比電路上,按照這個經驗,最好把A/D轉換器的AGND與DGND的PIN腳連接到類比地上.但這種方法會產生如數位信號去耦電容的接地應該接到類比地還是數位地的問題.

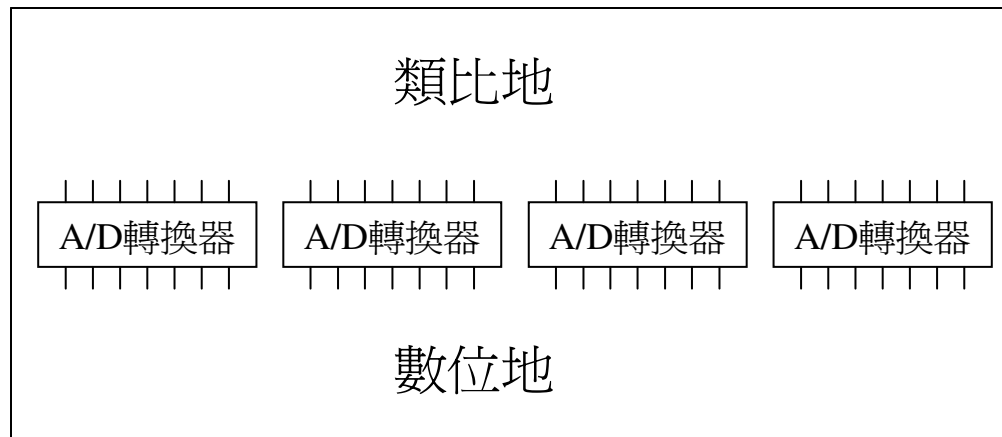
如果系統只有一個A/D轉換器,上述的問題就容易解決.解決方式如圖所示:



將地分割開,在A/D轉換器下面把類比地和數位地連接在一起,地連接橋的寬度與IC等寬,並且不能有任何信號線跨越分割間隙.

# PCB Layout

如果系統有很多A/D轉換器,上述的問題應該如何處理呢?最好的解決方案如圖所示:



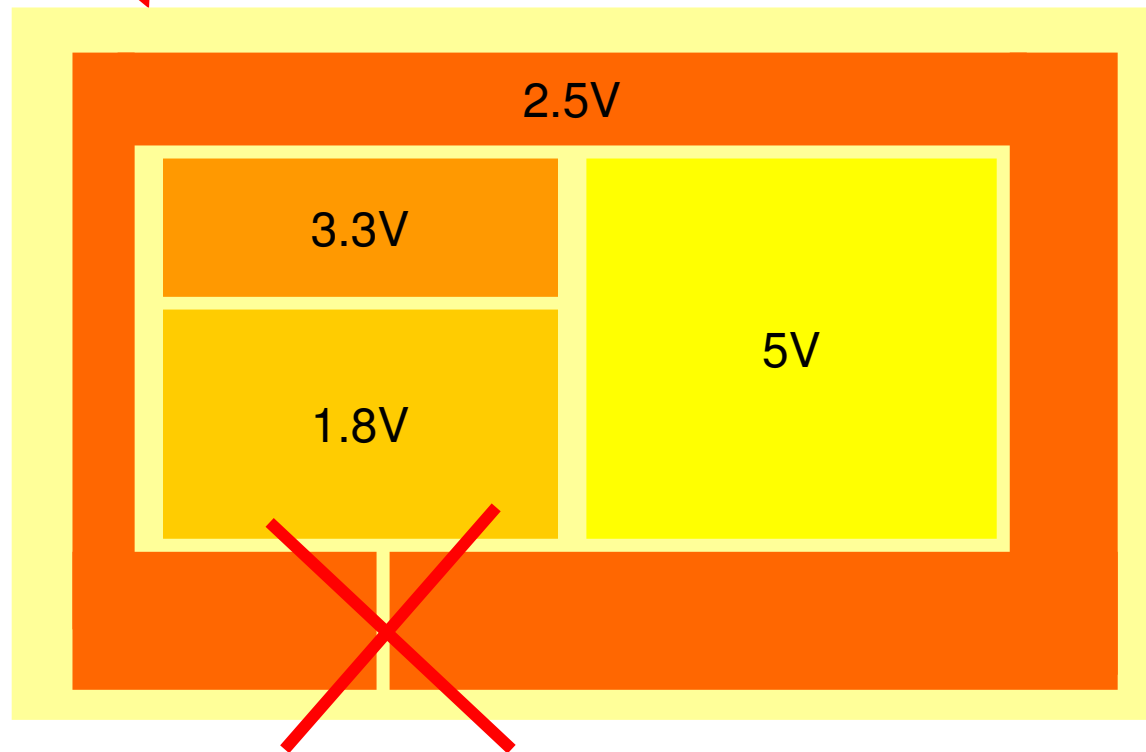
使用統一地,將統一地區分為類比部份和數位部份.這樣的佈線可以滿足IC元件類比地及數位地PIN腳的低阻抗連接的要求.同時也不會形成環路天線或偶極天線而產生EMC問題.如果對混合信號PCB統一地的做法心存疑慮,可以採用地層分割的方法對整個電路板佈局,在設計時儘量使用0歐姆電阻將分割地連接在一起,來進行EMC測試。

# PCB Layout

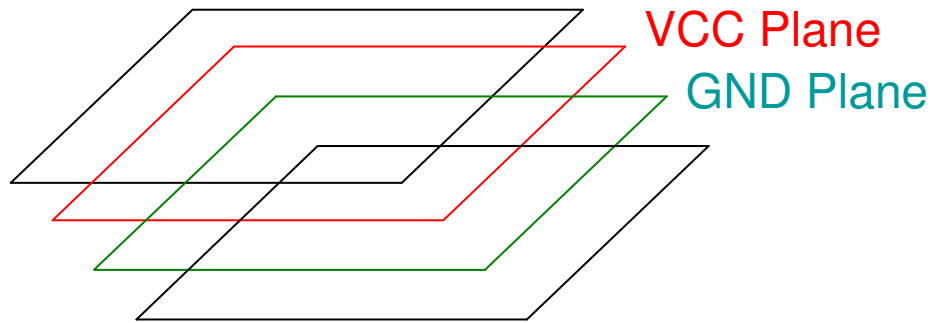
Power Plane的分割,不可以有同一個電壓分佈形成一個環狀,如此會造成一個大的電流環路面積,EMI雜訊會很難處理

Power Plane

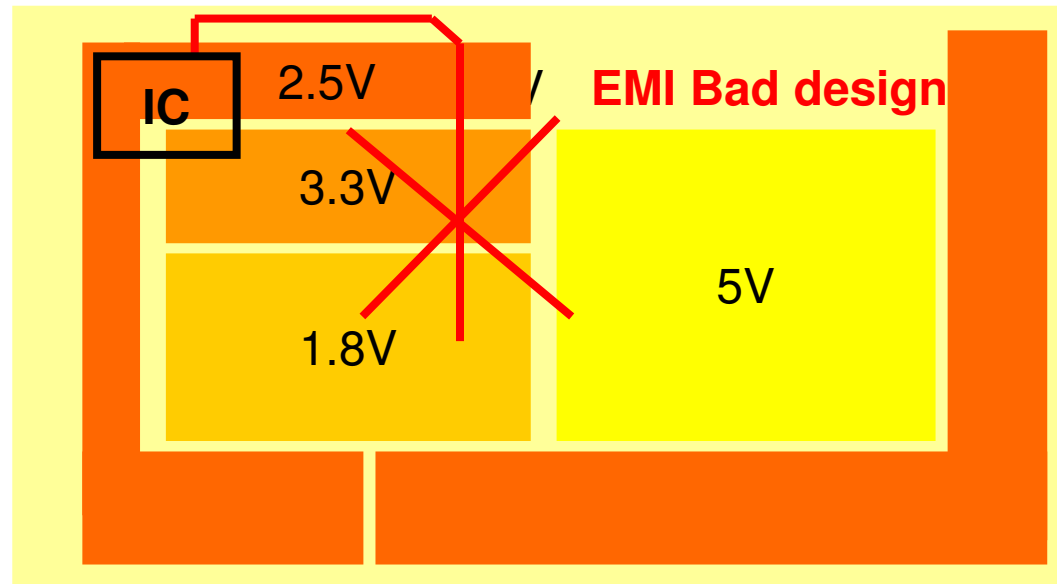
**EMI Bad design**



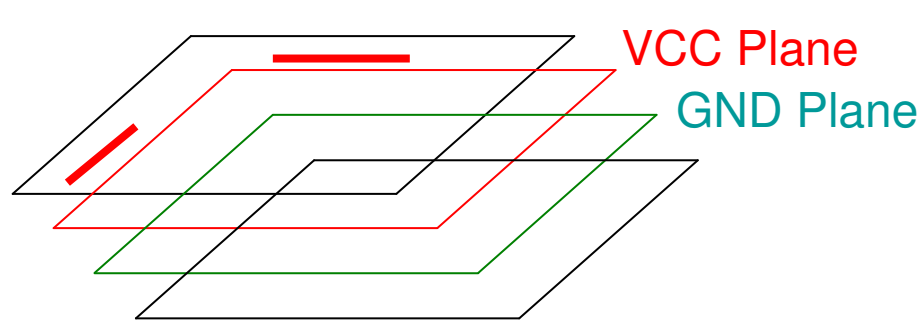
# PCB Layout



儘量避免CLK或Power Trace  
走線跨過2個以上不同的電壓  
Plane.

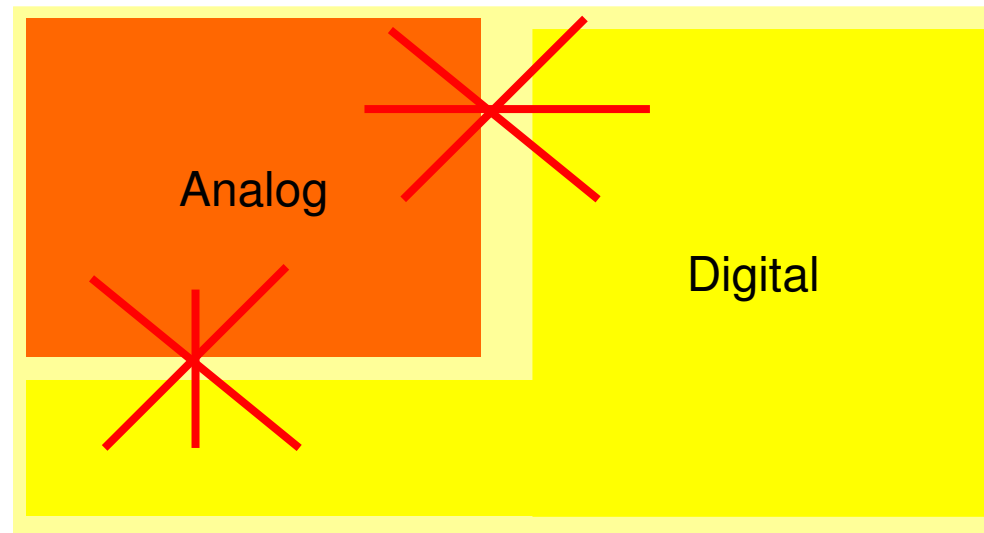


# PCB Layout



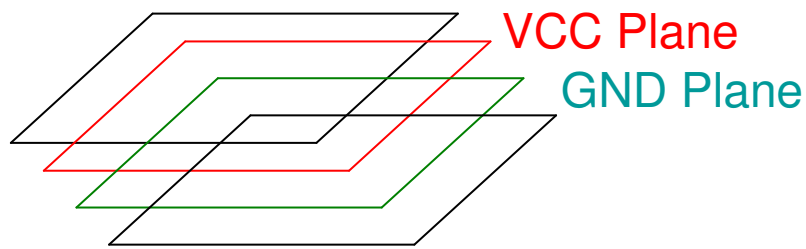
在所有層中之數位及類比區內  
不可有跨區走線的狀況發生。

## EMI Bad design





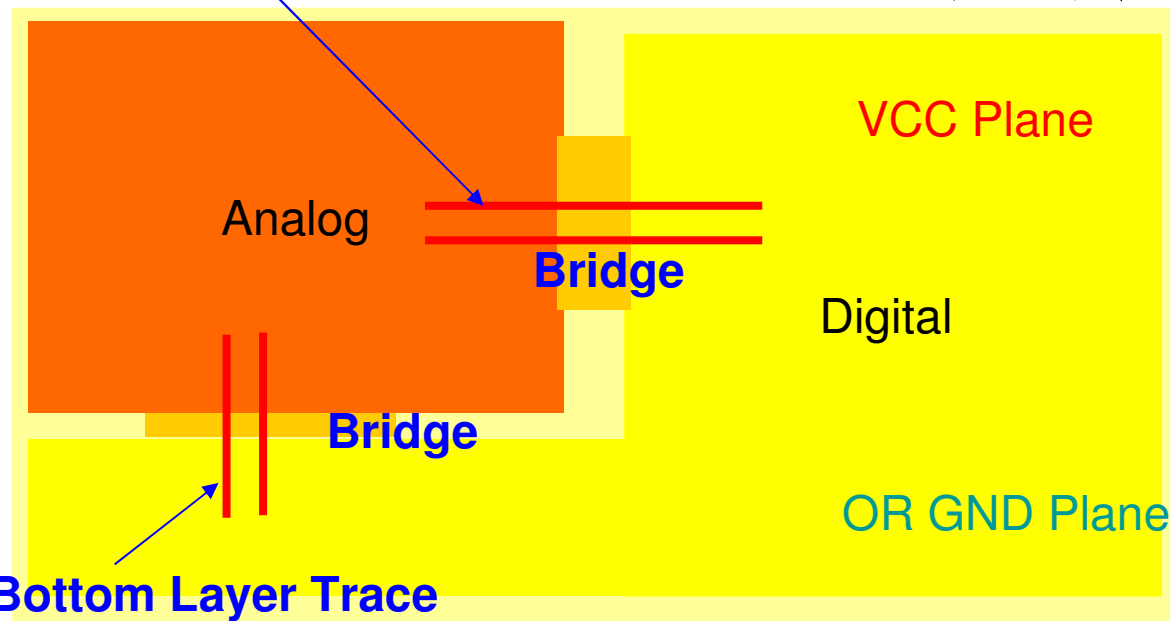
# PCB Layout



在所有層中之數位及類比區內  
如果相鄰的層中要跨區走線,則  
可在相鄰的VCC或GND層中做  
Bridge,讓走線從Bridge內走過  
使走線對相鄰參考面的回路電  
流距離及面積縮到最小,如此對  
EMI的雜訊衰減有幫助

EMI Good design

Top or Bottom Layer Trace



Top or Bottom Layer Trace

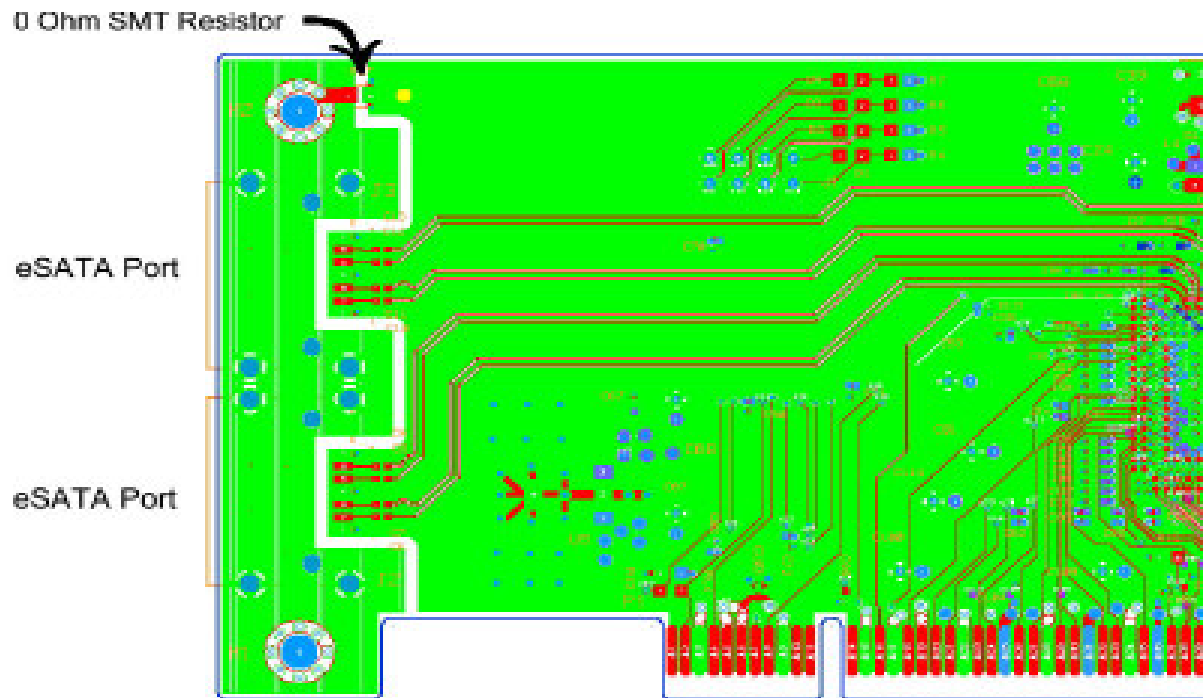
# SATA PCB ESD Layout (I)

**Correct separation of the signal and shielding GND is required to isolate the ESD energy**

- Make a large moat between the Chassis GND and Signal GND Plane
- 2. These 2 plane shorted at a single point by a SMT 0 $\Omega$  resistor (near PCI Bracket mounting hole)

**ESD energy on the SATA cable will seek lowest impedance to Chassis GND**

- 3. Do not use a thermal relief on this mounting hole



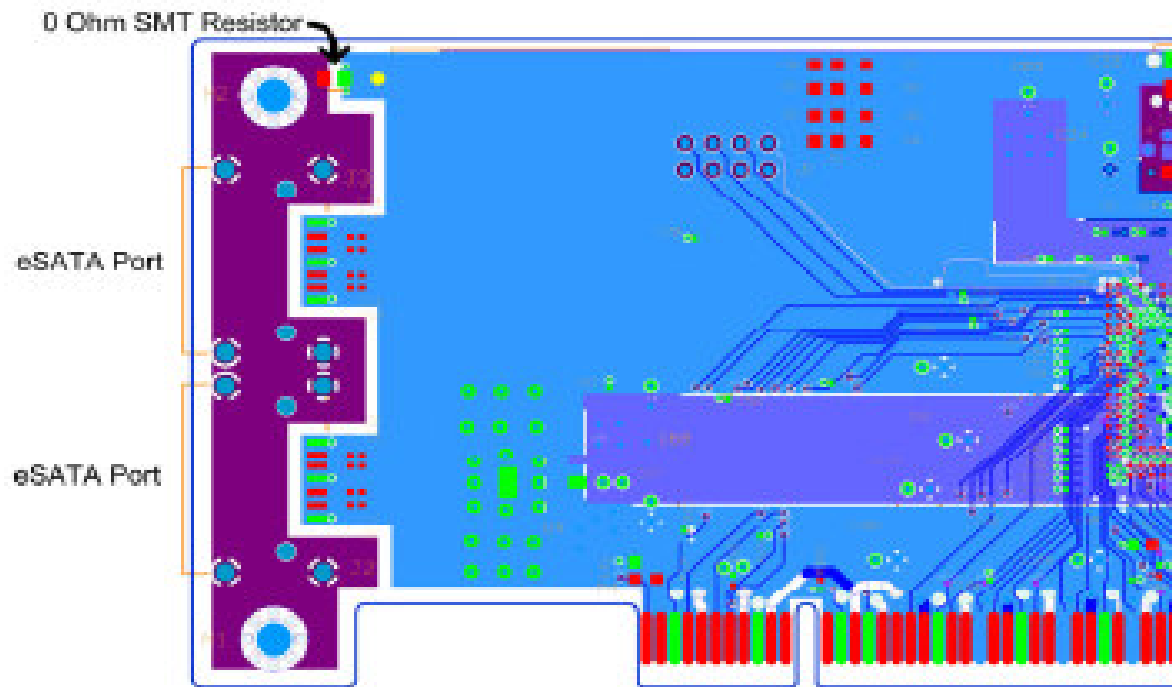
# SATA PCB ESD Layout (II)

**Correct separation of the signal and shielding GND is required to isolate the ESD energy**

- Identical moats cut through the power plane
- 2. These 2 plane shorted at a single point by a SMT 0  $\Omega$  resistor  
(near PCI Bracket mounting hole)

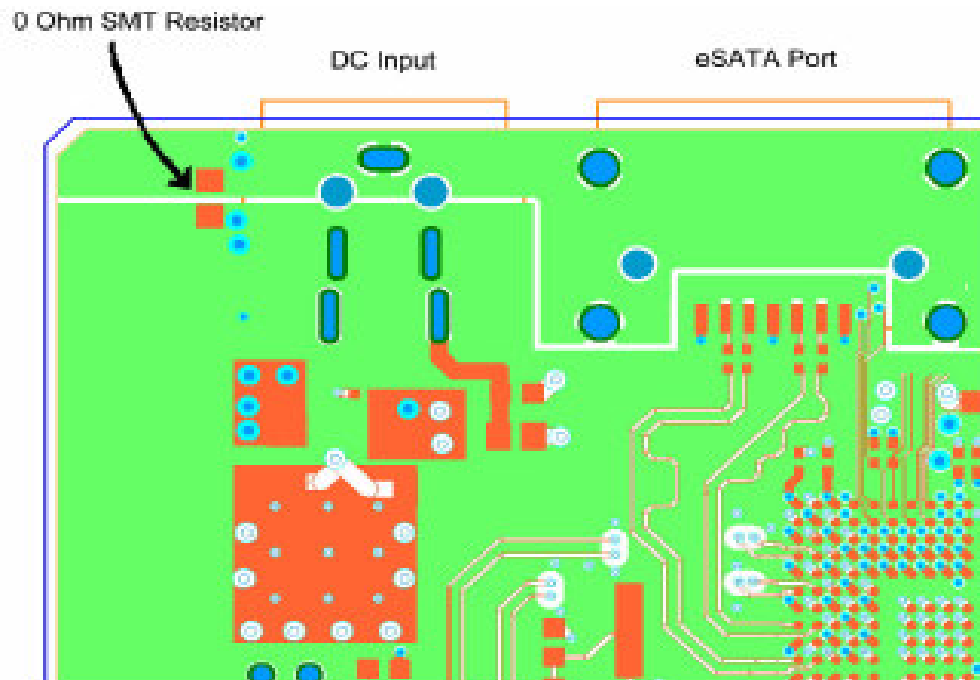
**ESD energy on the SATA cable will seek lowest impedance to Chassis GND**

- 3. Do not use a thermal relief on this mounting hole



# SATA PCB ESD Layout (III)

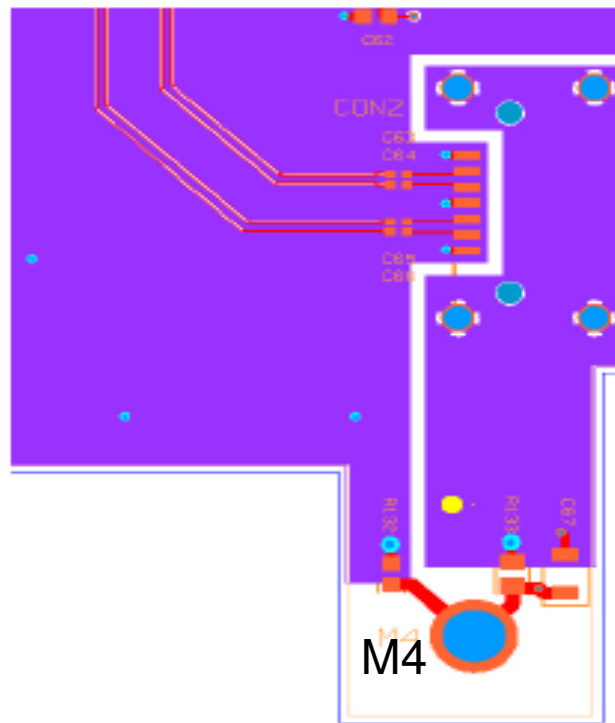
- Make a large moat between the Chassis GND and Signal GND Plane
  - 2. These 2 plane shorted at a single point by a SMT  $0\Omega$  resistor
    - Close the side of the power input connection, away from the SATA port**
- $0\Omega$  resistor use reason:**
- a. The small amount of case inductance of SMT package helps to filter the very fast rise-time ESD bursts
  - b. The value of the SMT device can be changed for tuning the response time of this connection



# SATA PCB ESD Layout (IV)

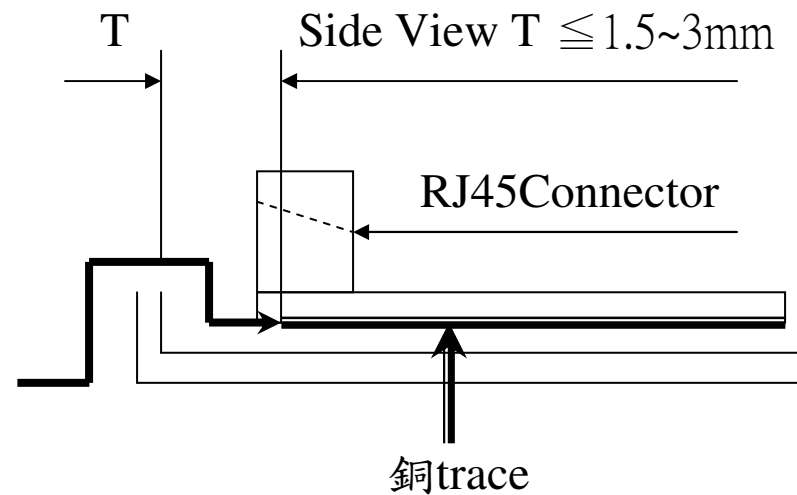
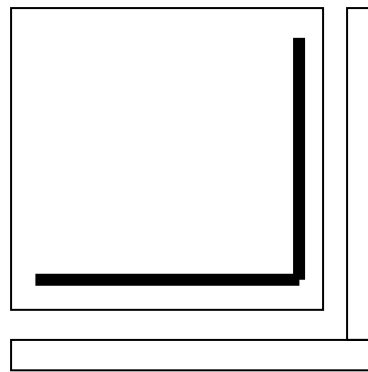
- Make a large moat between the Chassis GND and Signal GND Plane
- The large hole at the bottom (Labeled M4) is a mounting hole tied to a metal chassis.

**This mounting hole has very low impedance to AC GND for conducting ESD energy.**



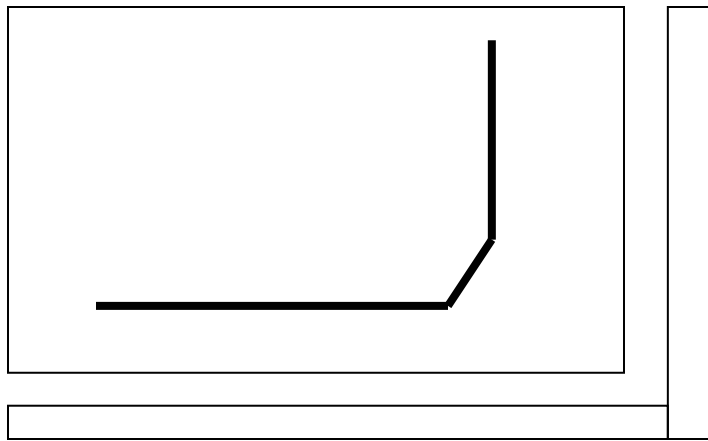
I/O 或 Grounding 的 trace 與機殼之距離: 如果 I/O 或 Grounding 的 trace 延著 PCB 板邊 layout 與機殼之距離  $< 1.5 \sim 3\text{mm}$  時, 則約  $\pm 4\text{KV}$  (經驗值) 的靜電會延著機殼緣面竄入直接對 trace 放電. 而造成產品動作異常或功能性永久破壞, 如下圖所示:

Top View

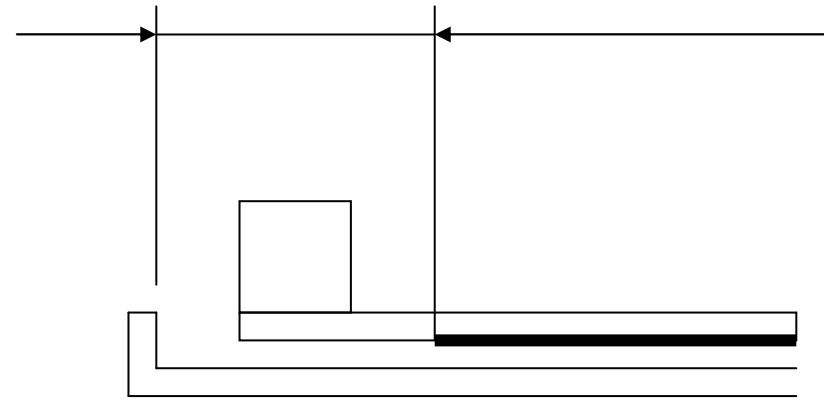


對策: 1. 避免將I/O 或Grounding的trace延著PCB板邊layout  
與機殼之距離 $<1.5\sim 3\text{mm}$

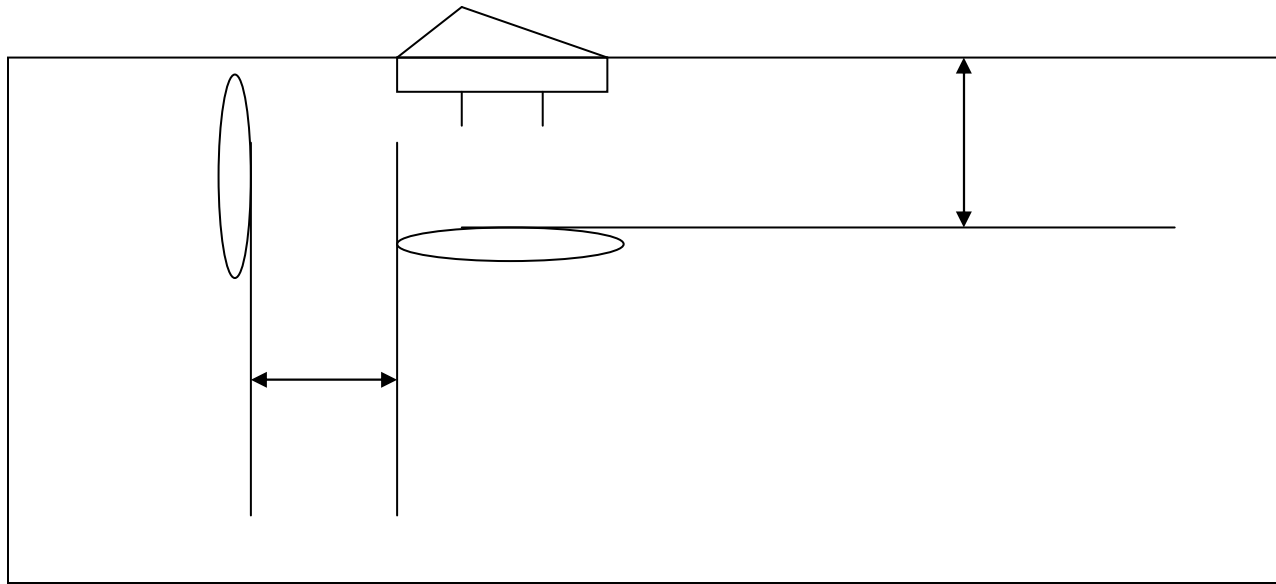
如下圖所示:



Min T > 6.5mm 抗 $\pm 8\sim 15\text{KV}$ (經驗值)

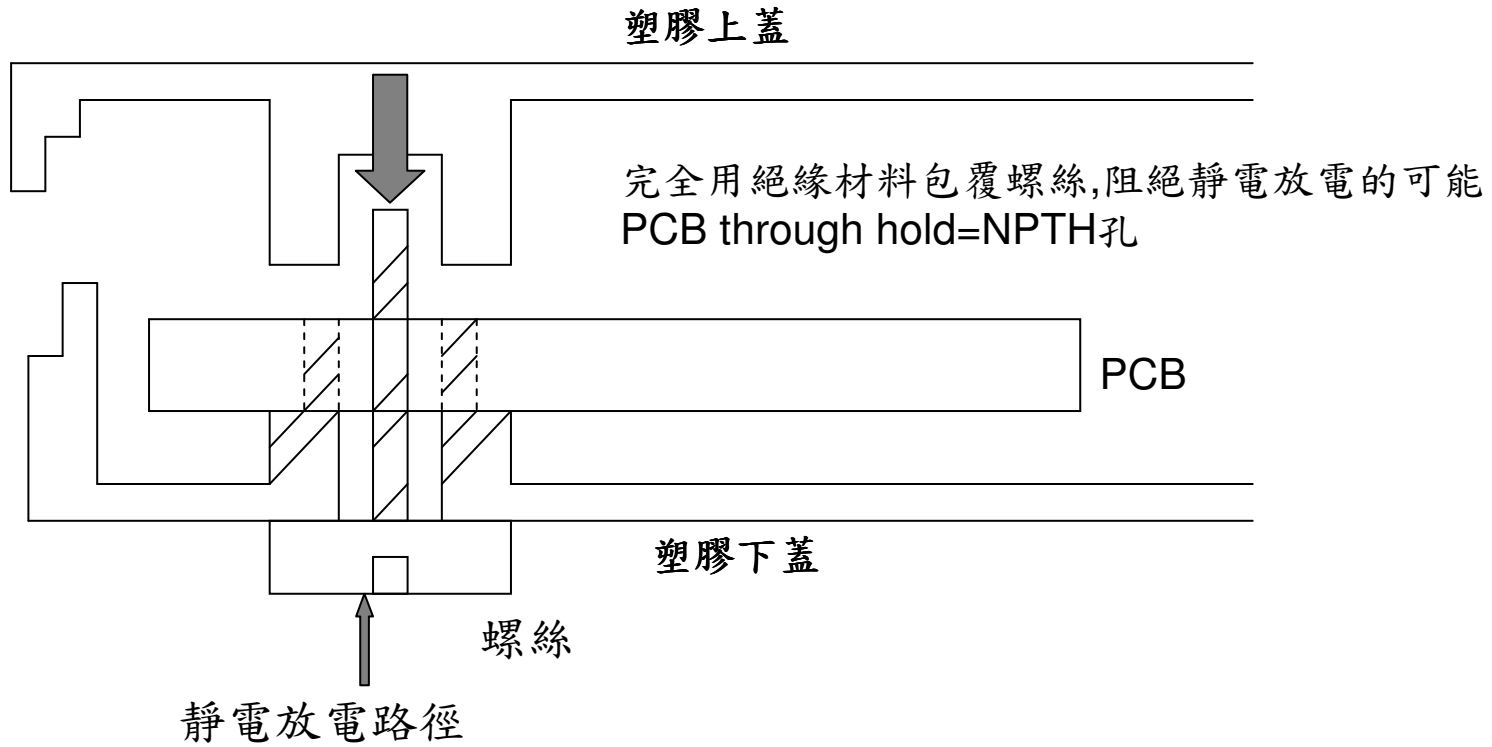


Power Switch與線路振盪源之距離: 如果Power Switch與線路振盪源之距離 $<2.5\text{mm}$ 時,則約 $\pm 4\sim 8\text{KV}$ (經驗值)的靜電會延著機殼緣面竄入直接對trace放電,而造成產品動作異常或功能性永破壞,如下圖所示:



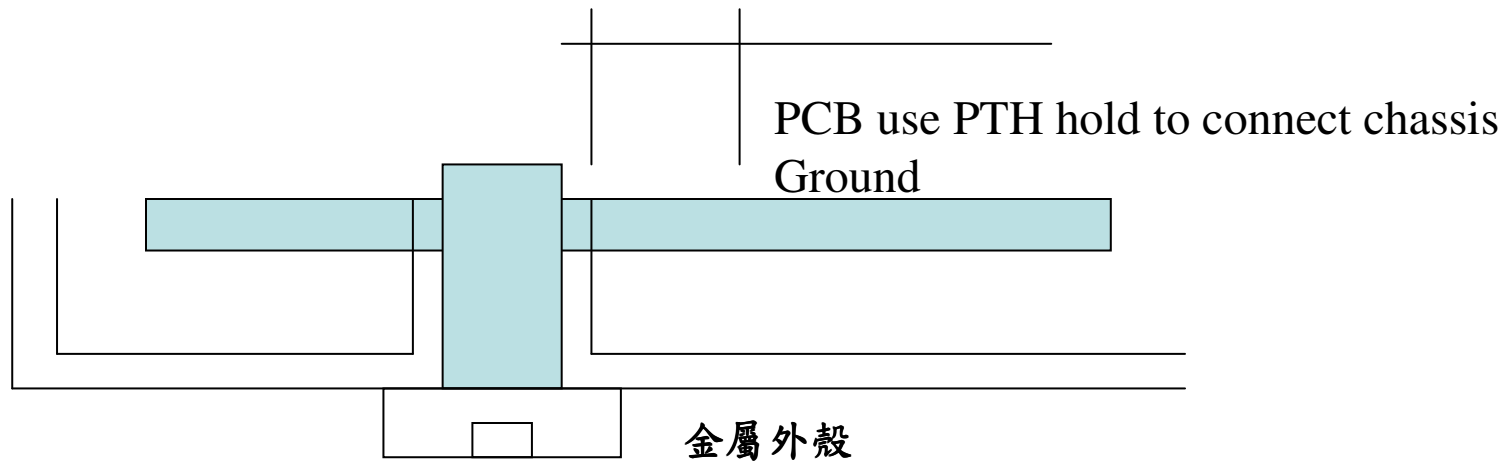


使用螺絲固定的絕緣外殼的防靜電設計,如下圖所示:



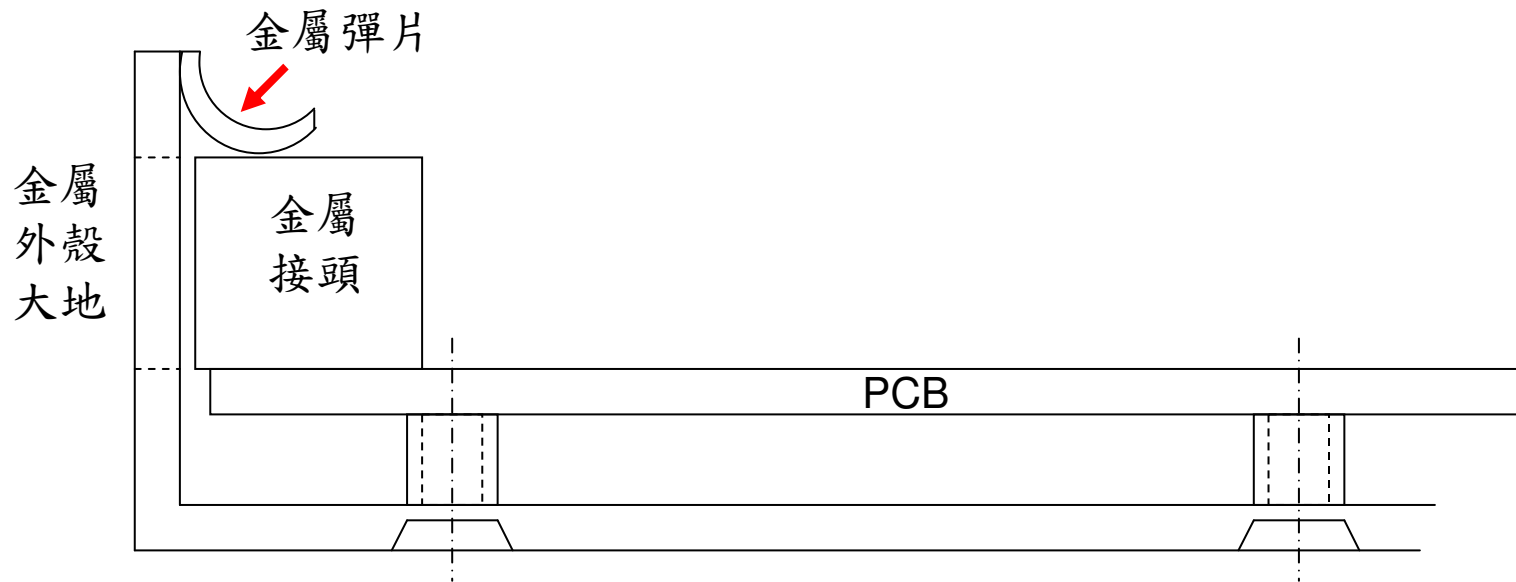
→使用螺絲固定的金屬外殼的防靜電設計,如下圖所示:

PCB PTH孔與信號線路銅箔之距離必需 $\geq 2.5\text{mm}$ ,避免靜電能藉由螺絲對銅箔trace放電(當靜電 $\geq 8\text{KV}$ 時,經驗值)

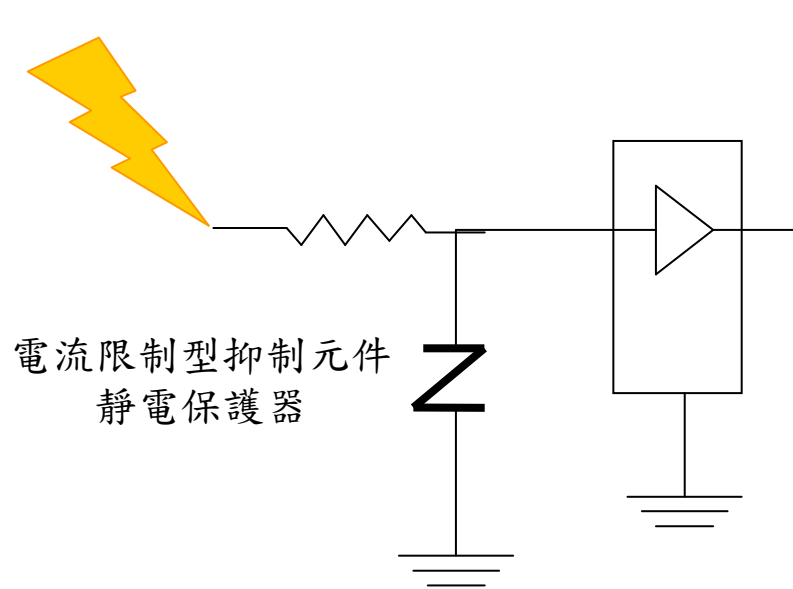


→如果產品有FG(Fried Ground)點則在實施靜電放電測試時,其FG點必需用金屬編織線銜接至大地,以使靜電能量可迅速的流入大地,而不會對產品造成靜電傷害。

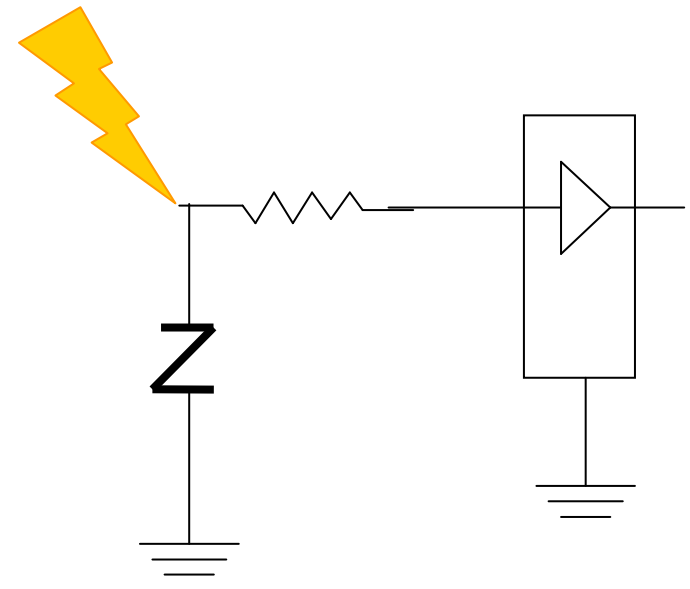
使用各類金屬外殼的信號I/O接頭必需與產品金屬外殼緊密接觸,以使靜電放電可從外殼的地流入大地,不致有機會傷害內部PCB迴路。



產品絕緣外殼使用各類金屬外殼的信號I/O接頭,如發生靜電放電而傷害內部PCB迴路造成功能異常或產品傷害時,可藉由擴大Grounding面積(增加一ground plane, or 將PCB's grounding area增加)並適當加入靜電保護元件來做接地處理,以吸收外來的靜電能量。



靜電保護器加在元件後面  
幾乎沒有保護效果



靜電保護器加在I/O出口端  
保護效果比較有效  
地面積須夠大